

日 本 国 特 許 庁
JAPAN PATENT OFFICE

11046 U.S. PTO
10/000089
12/04/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 7月 5日

出 願 番 号

Application Number:

特願2001-205179

出 願 人

Applicant(s):

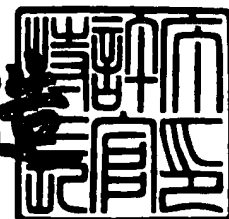
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 9月12日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3083911

【書類名】 特許願

【整理番号】 0150734

【提出日】 平成13年 7月 5日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/28
H01L 21/66

【発明の名称】 集積回路の試験装置および試験方法

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 平出 貴久

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 山中 仁

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 熊谷 淳子

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 小西 秀明

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 丸山 大輔

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100092978

【弁理士】

【氏名又は名称】 真田 有

【電話番号】 0422-21-4222

【先の出願に基づく優先権主張】

【出願番号】 特願2000-372231

【出願日】 平成12年12月 7日

【手数料の表示】

【予納台帳番号】 007696

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704824

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 集積回路の試験装置および試験方法

【特許請求の範囲】

【請求項 1】 集積回路中に組み込まれて試験パターンを発生するパターン発生器と、

該集積回路内部の順序回路素子で形成した複数のシフトレジスタと、

該パターン発生器によって発生された試験パターンを外部入力により修正してから該複数のシフトレジスタに入力するパターン修正器とをそなえて構成されたことを特徴とする、集積回路の試験装置。

【請求項 2】 試験パターンを入力される、集積回路内部の順序回路素子で形成した複数のシフトレジスタと、

該複数のシフトレジスタからの出力中の不定値をマスクする不定マスク器と、

該不定マスク器によってマスクされた出力結果を検証する出力検証器とをそなえて構成されたことを特徴とする、集積回路の試験装置。

【請求項 3】 集積回路中に組み込まれて試験パターンを発生するパターン発生器と、

該集積回路内部の順序回路素子で形成した複数のシフトレジスタと、

該パターン発生器によって発生された試験パターンを外部入力により修正してから該複数のシフトレジスタに入力するパターン修正器と、

該複数のシフトレジスタからの出力中の不定値をマスクする不定マスク器と、

該不定マスク器によってマスクされた出力結果を検証する出力検証器とをそなえて構成されたことを特徴とする、集積回路の試験装置。

【請求項 4】 該出力検証器に、前記マスクされた出力結果を圧縮する圧縮手段をそなえたことを特徴とする、請求項 2 または請求項 3 に記載の集積回路の試験装置。

【請求項 5】 集積回路中に組み込まれたパターン発生器で試験パターンを発生し、

発生された該試験パターンを外部入力により修正してから、

修正された該試験パターンを、該集積回路内部の順序回路素子で形成した複数

のシフトレジスタに入力することを特徴とする、集積回路の試験方法。

【請求項 6】 A T P G パターンを生成し前記外部入力として該パターン修正器に与える自動テストパターン生成部をさらにそなえ、

該パターン発生器が、前記試験パターンとして疑似ランダムパターンを発生するとともに、

該パターン修正器が、該自動テストパターン生成部から与えられた該 A T P G パターンに基づいて、該疑似ランダムパターンを修正することを特徴とする、請求項 1 または請求項 3 に記載の集積回路の試験装置。

【請求項 7】 該パターン修正器が、該パターン発生器によって発生された複数の疑似ランダムパターン、および、前記外部入力としての複数の A T P G パターンから、該疑似ランダムパターンと該 A T P G パターンとの適当な組合せを選択し、選択された該 A T P G パターンに基づいて、選択された該疑似ランダムパターンを修正することを特徴とする、請求項 6 に記載の集積回路の試験装置。

【請求項 8】 該自動テストパターン生成部が、該パターン発生器によって発生された該疑似ランダムパターンを参照し、当該疑似ランダムパターンに応じた適当な対象故障を選択し、該対象故障を検出する A T P G パターンを、当該疑似ランダムパターンの修正基準として生成することを特徴とする、請求項 6 に記載の集積回路の試験装置。

【請求項 9】 該パターン発生器によって発生される該疑似ランダムパターンと前記外部入力としての該 A T P G パターンとを比較し、該 A T P G パターンに近い疑似ランダムパターンを該パターン発生器に発生させうる、該パターン発生器の特性情報を決定する特性情報決定部をさらにそなえ、

該パターン発生器が、該特性情報決定部により決定された該特性情報に基づいて、該疑似ランダムパターンを発生することを特徴とする、請求項 6 に記載の集積回路の試験装置。

【請求項 1 0】 該自動テストパターン生成部が該 A T P G パターンに対する圧縮処理を実行する場合に前記圧縮処理の実行制限条件を設定する実行制限条件設定部をさらにそなえ、

該自動テストパターン生成部が、該実行制限条件設定部によって設定された前

記実行制限条件を満たした時点で該 A T P G パターンに対する圧縮処理を終了させることを特徴とする、請求項 6 記載の集積回路の試験装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、L S I (Large Scale Integration) 等の集積回路の製造不良を検出するための試験装置および試験方法に関するものである。

【0002】

【従来の技術】

集積回路、例えば L S I の製造不良の検出は、テストを用いて L S I の入力ピンに適当な信号値を印加し、その出力ピンに現れる信号値を期待される結果と比較することで行なわれる。入力ピンに印加される信号値と出力ピンに現れるべき期待値とを合わせてテストパターン（試験パターン）と呼ぶ。

【0003】

L S I の製造不良により L S I の内部に生じる欠陥は故障と呼ばれ、L S I 内部で起こりうる全ての故障について検証を行なうためには、多くのテストパターンが必要となる。また、L S I 内部に仮定される全故障数に対する、あるテストパターンによって検証できる故障の数の割合は、診断率（または検出率）と呼ばれ、テストパターンの質を問題にするときの尺度として使われている。L S I が順序回路素子〔フリップフロップ (F/F) , ラッチおよび R A M〕を含む場合、テストパターン作成の複雑さは飛躍的に増大する。

【0004】

そこで、L S I では、スキャン設計が一般的に行なわれている。スキャン設計を施された L S I では、L S I 内部の順序回路素子（主に F/F）を用いてシフトレジスタ〔スキャンパス (Scan Path) と呼ばれる〕が形成され、試験時にそのシフトレジスタに所望の値がシフトインされ、クロック印加後にシフトレジスタの値が外部に読み出される。

【0005】

このような回路において、ディターミニスティックストアードパターンテスト

〔以下、D S P T (Deterministic Stored Pattern Test) という〕が広く採用されている。このD S P Tは、自動テストパターン発生器〔以下、A T P G (Automatic Test Pattern Generator) という〕で作成したテストパターンをテスト (A T E ; Automatic Test Equipment) に格納して行なわれる。

【0 0 0 6】

図 2 1 は従来のスキャン設計を説明するための図で、この図 2 1 では、スキャン設計の概念がブロック図として示されている。この図 2 1 に示すように、スキャン設計を施された L S I では、この L S I をテストするための道筋である複数本のスキャンパス (シフトレジスタ) # 0, # 1, ..., # n - 1 が形成されている。各スキャンパス # i (i = 0, 1, ..., n - 1) は、それぞれ記憶素子である複数個の F / F を用いて形成されている。そして、各スキャンパス # i の一端側 (図 P 1 の左側) からテストパターンがシフトインされ、他端側 (図 2 1 の右側) からテスト結果が出力される。

【0 0 0 7】

しかし、近年、L S I の集積度の増大に伴い、内部に含まれる順序回路素子の数が極めて増大してきているため、上述のような D S P T により、スキャンパスを構成する全ての順序回路素子において、テストパターン毎に設定と読出とを繰り返し実行すると、試験時間が増大するだけでなく、テストデータの増大によるテストのメモリ容量が逼迫するなどの問題が生じている。

【0 0 0 8】

なお、A T P G のテストパターン発生においては、テストデータ量の削減を目的として、ダイナミックコンパクション (dynamic compaction) と呼ばれる圧縮手法が一般的に用いられている。

このダイナミックコンパクションとは、以下のような、テストデータの圧縮処理のことをいう。つまり、A T P G により生成されたテストパターンによりターゲットの一次故障 (primary fault) のテストに成功した場合、その一次故障を検出するために設定されたネット状態 (net state) 条件で、残存する未検出故障の集合から 1 つの二次故障 (secondary fault) を選択し、まだ不定値であるテストポイントに新たに値を設定することにより上記二次故障に対するテストパ

ターン生成を実行し、以下同様の処理を、他の二次故障が未検出故障の集合から選択されなくなるまで繰り返し実行する。なお、他の二次故障の選択に際し、同一故障を重複して選択することはないものとする。ダイナミックコンパクションとは、上述のようにしてテスト単位で検出される故障の数を増加させることにより、テストデータを減少させるものである。

【0009】

しかし、ダイナミックコンパクションによりテストデータの圧縮を行なったとしても、近年のLSIの集積度の増大に伴う順序回路素子の増加の仕方は極めて大きく。上述のような、試験時間の増大や、テストのメモリ容量の逼迫といった問題を解消することは難しい。

【0010】

このような問題を解決するために、組込み自己試験〔以下、BIST (Built In Self Test) という〕が行なわれるようになってきている。BISTでは、疑似ランダムパターン発生器で発生されたパターンがLSIの内部回路に印加され、その内部回路からの出力結果が出力検証器で検証・格納される。疑似ランダムパターン発生器および出力検証器としては、リニアフィードバックシフトレジスタ（以下、LFSRという）が使用されることが多く、特に、出力検証器は、出力結果をシグネチャとして圧縮格納するため、マルチインプットシグネチャレジスタ（以下、MISRという）と呼ばれる。

【0011】

図22は従来のBIST回路を説明するための図で、この図22では、BIST回路の概念がブロック図として示されている。この図22に示すように、BIST回路を有するLSIには、上述したスキャンパス#0, #1, ..., #n-1がそなえられるほか、LFSR2, フェイズシフタ3, スペースコンパクタ6およびMISR7が組み込まれている。

【0012】

そして、LFSR2で発生された疑似ランダムパターンは、フェイズシフタ3を通して各スキャンパス#iの先頭F/Fに入力され、各スキャンパス#iからの出力結果が、スペースコンパクタ6によりMISR7のビット数（例えば32

ビット) 程度に圧縮されてから、さらにそれらがMISR7により圧縮格納される。

【0013】

このように、BISTでは、LFSR (疑似ランダムパターン発生器) 2がLSI内部に搭載されているため、極めて多数のテストパターンを短時間で発生することができる。また、MISR7により試験結果を圧縮して格納するため、テストにロードするデータ量を圧倒的に削減することができる。

【0014】

【発明が解決しようとする課題】

現在、LSIの試験には、スキャン設計に基づくDSPTと、テスト回路を組み込んだBISTとのうちの一方が用いられている。

DSPTは、ATPGの作り出すテストパターンを利用するために非常に質(診断率)の高い試験が可能であり、テストパターンの追加を容易に行なうことができる。しかし、大規模なLSIに対してはテストパターン数が非常に多くなるため、ATPGが作り出すテストパターンをテストのメモリ上に全て格納することが困難になると同時に、テストでの試験時間が増大してきている。従って、DSPTを実施するには非常に高価なテストが必要となるという課題があった。

【0015】

BISTは、上記DSPTの問題点を改善することはできるが、いくつかの欠点も有している。BISTでは、疑似ランダムパターンが用いられるため、試験の質に問題がある。故障の検出率を高めるためには、追加テストとしてDSPTを適用するか、制御性と観測性とを増すようなテストポイントを内部回路に挿入する必要があった。また、BISTでは、データ圧縮にMISRが用いられるが、その構成上、一度でも不定状態を取り込むとMISR内の全てのレジスタが不定状態となって、試験不能になってしまうという課題もあった。

【0016】

一般に、LSI内部の、RAMを含む順序回路素子は、電源投入時には不定状態であるため、これらの順序回路素子を初期化するパターンを予め印加するか、不定状態がMISRに伝播しないように回路を工夫する必要があった。この他に

も、バス設計時にランダムパターンによりコンフリクトやフロート状態が起きないようにするなど、BISTを実回路に適用するには厳しい設計制約を設計者に強いることになる。これに加え、BIST回路とテストポイントとの挿入により回路のエリアオーバーヘッドも問題となっていた。

【0017】

本発明は、このような課題に鑑み創案されたもので、上述のようなDSPTおよびBISTの問題点を解決し、これら2種類のテストの利点を生かし高品質なテストを短時間で実行できるようにした、集積回路の試験装置および試験方法を提供することを目的とする。また、その際、設計者に厳しい設計規約を課すことなく、且つ、高価なテストを必要とすることなく、高品質なテストを行なえるようにした、集積回路の試験装置および試験方法を提供することも目的とする。

【0018】

【課題を解決するための手段】

図1は本発明の原理ブロック図であり、この図1において、2aはパターン発生器、4はパターン修正器、5は不定マスク器、7aは出力検証器、#0～#n-1はシフトレジスタ（スキャンパス）である。

上記目的を達成すべく、本発明は、以下のように構成される。

【0019】

(1) 本発明の集積回路の試験装置は、集積回路中に組み込まれて試験パターンを発生するパターン発生器2aと、集積回路内部の順序回路素子で形成した複数のシフトレジスタ#0～#n-1と、パターン発生器2aによって発生された試験パターンを外部入力により修正してから複数のシフトレジスタ#0～#n-1に入力するパターン修正器4とをそなえて構成されている。これにより、シフトレジスタ#0～#n-1であるスキャンパス数を増やしスキャンパス段数を少なくすることで、集積回路(LSI等)の試験時間を短縮することができ、その際に意味あるデータ部分(設定が必要なF/Fの情報等)のみをテスト(外部入力)から供給して修正するので、テストに格納されるデータの量を削減することができる。

【0020】

(2) 本発明の集積回路の試験装置は、試験パターンを入力される集積回路内部の順序回路素子で形成した複数のシフトレジスタ # 0 ~ # n - 1 と、これらのシフトレジスタ # 0 ~ # n - 1 からの出力中の不定値をマスクすることにより不定状態を規定の状態に変換する不定マスク器 5 と、この不定マスク器 5 によってマスクされた出力結果を検証する出力検証器 7 a とをそなえて構成されている。これにより、順序回路素子（内部 F / F）の結果を圧縮して外部に読み出しても、不定状態（X 状態）が圧縮結果を台無しにしてしまうことがなくなる。

【 0 0 2 1 】

(3) 本発明の集積回路の試験装置は、上述したパターン発生器 2 a、複数のシフトレジスタ # 0 ~ # n - 1、パターン修正器 4、不定マスク器 5 および出力検証器 7 a をそなえて構成されている。これにより、スキャンパス数を増やし集積回路（L S I 等）の試験時間を短縮することができ、意味あるデータ部分のみをテスト（外部入力）から供給して修正するので、テストに格納されるデータの削減ができるとともに、内部 F / F の結果を圧縮して外部に読み出しても、不定状態が圧縮結果を台無しにしてしまうことがなくなる。

【 0 0 2 2 】

(4) 前記 (2) または (3) に記載された集積回路の試験装置において、前記出力検証器 7 a に前記マスクした出力結果を圧縮する圧縮手段をそなえてもよい。これにより、内部 F / F の結果を出力検証器 7 a に効率よく格納することができる。

【 0 0 2 3 】

(5) 前記 (1) または (3) に記載された集積回路の試験装置において、A T P G パターンを生成し前記外部入力としてパターン修正器 4 に与える自動テストパターン生成部（図 1 では図示省略）をさらにそなえ、パターン発生器 2 a が、前記試験パターンとして疑似ランダムパターンを発生するとともに、パターン修正器 4 が、前記自動テストパターン生成部から与えられた A T P G パターンに基づいて、疑似ランダムパターンを修正してもよい。これにより、D S P T および B I S T の問題点を解決し、両者の利点を生かした高品質なテストを短時間で可能とする試験パターンが生成される。

【 0 0 2 4 】

(6) 前記(5)に記載された集積回路の試験装置において、パターン修正器4が、パターン発生器2aによって発生された複数の疑似ランダムパターン、および、前記外部入力としての複数のATPGパターンから、疑似ランダムパターンとATPGパターンとの適当な組合せを選択し、選択されたATPGパターンに基づいて、選択された疑似ランダムパターンを修正してもよい。これにより、パターン修正器4によるパターン修正量を削減して、効率よくパターンの修正を行なうことができる。

【 0 0 2 5 】

(7) 前記(5)に記載された集積回路の試験装置において、前記自動テストパターン生成部が、パターン発生器2aによって発生された疑似ランダムパターンを参照し、当該疑似ランダムパターンに応じた適当な対象故障を選択し、その対象故障を検出するATPGパターンを、当該疑似ランダムパターンの修正基準として生成してもよい。これにより、パターン修正器4によるパターン修正量を削減して、効率よくパターンの修正を行なうことができる。

【 0 0 2 6 】

(8) 前記(5)に記載された集積回路の試験装置において、パターン発生器2aによって発生される疑似ランダムパターンと前記外部入力としてのATPGパターンとを比較し、ATPGパターンに近い疑似ランダムパターンをパターン発生器2aに発生させうる、パターン発生器2aの特性情報を決定する特性情報決定部(図1では図示省略)をさらにそなえ、パターン発生器2aが、前記特性情報決定部により決定された特性情報に基づいて、疑似ランダムパターンを発生してもよい。これにより、パターン修正器4によるパターン修正量を削減して、効率よくパターンの修正を行なうことができる。

【 0 0 2 7 】

(9) 前記(5)に記載された集積回路の試験装置において、前記自動テストパターン生成部がATPGパターンに対する圧縮処理を実行する場合に前記圧縮処理の実行制限条件を設定する実行制限条件設定部(図1では図示省略)をさらにそなえ、前記自動テストパターン生成部が、前記実行制限条件設定部によって

設定された前記実行制限条件を満たした時点でATPGパターンに対する圧縮処理を終了させてもよい。これにより、ATPGパターンにおける要求値（不定値以外の値）の数を抑制することができ、パターン修正器4によるパターン修正量を削減して、効率よくパターンの修正を行なうことができる。

【0028】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を説明する。

LSI等の集積回路に対してより高品質なテストを行なうためには、BISTのごとく、疑似ランダムパターンを用いる手法では限界がある。即ち、ランダムパターンでは検出し難い故障が存在するため、回路の制御性と観測性を改善するためのテストポイントを挿入し、かつ非常に多数のランダムパターンを発生しなければならない。それでも、ATPGが発生するディターミニスティックパターンと同じ品質を実現することは不可能である。

【0029】

一方、ATPGによりパターンを発生する場合、基本的には内部回路の1ヶ所の故障を想定し、それを検出するパターンを作成している。このように作成されたパターンを、ATPGパターンと呼ぶことにする。このATPGパターンは、全ての内部F/Fの設定値と、システムクロック印加後の全てのF/Fの状態値とで構成される。

【0030】

図2はATPGの設定F/F数の分布状態を説明するための図である。この図2において、横軸は、内部回路の故障を検出するATPGパターンの数（Pattern #）を表わし、縦軸は、該当故障を検出するために値を設定されるべきF/F（設定F/F）の数（Assigned F/F #）を表わしている。ATPGは、基本的には一つのパターンで1ヶ所の故障を検出するようにパターンを作成するが、それでは、値を設定されるF/Fの数が極めて少ない。そこで、1つのATPGパターンで数箇所の故障を検出するようにパターンを圧縮すること（前述したダイナミックコンパクション）が主流になっている。図2に示すデータもパターンを圧縮した結果であり、設定F/Fの数が千を超えるようなATPGパターンは、複

数箇所の故障を検出するように作成・設定されている。なお、図2において、ATPGパターンは、設定F/F数の多い順にソーティングされている。

【0031】

通常、DSPTでは、

$$[\text{ATPGパターン数}] \times [\text{全F/F数}]$$

のデータをテストから試験対象LSIに供給する必要がある。これは、図2の矩形全体の領域(21281×2755)のデータに相当する。これに対し、ATPGが設定した意味のあるデータ量は、図2における斜線領域のみである。例えば、1番目のATPGパターンでは1272個のF/Fにデータを設定する必要があり、1000番目のATPGパターンでは50個程度のF/Fにデータを設定する必要がある。このように、該当故障を検出するためにATPGが値を設定する必要がある順序回路素子(F/F)の数は、全F/Fの数(21281)と比べるとほんの僅かであることがわかる。

【0032】

本発明では、ATPGによって設定された意味あるデータ部分のみをテストから供給し、試験対象LSIに、ディターミニスティックパターンを印加することができる。

スキャン設計を施されたLSIの場合、LSI内部のF/Fが、並列にシフト動作可能な複数のスキャンパスに振り分けられており、1つのATPGパターンは、複数のシフトパターンに分割され、テストから各スキャンパスに印加・入力され、これにより試験時間が短縮される。このとき、スキャン設計を施されたLSIでの試験時間は、

$$[\text{ATPGパターン数}] \times [\text{スキャンパス段数}] \times [\text{試験サイクル}]$$

となる。この場合、上式のスキャンパス段数は、最もF/Fを多く振り分けられたスキャンパスのF/F数となる。また、試験サイクルは、テストがLSIに供給するクロックサイクルであり、これはテストの性能に依存する。

【0033】

BISTでは、内部のパターン発生器を高速で動作させることが可能であるため、クロックサイクル(試験サイクル)を短くすることにより試験時間を短縮で

きる。さらに、BISTでは、パターン発生器の出力ピン数を増やすことによって容易にスキャンパス数を増やすことも可能であり、結果としてスキャンパス段数を少なくして試験時間を短縮することができる。

【0034】

これに対し、DSPTでは、スキャンパス毎に入力ピンと出力ピンを設け、テストと接続する必要がある。これらの入出力ピンの数はテストの性能に依存するため、スキャンパスをテスト制約以上には増やすことはできなかった。

本発明では、BISTと同様にスキャンパス数を増やしスキャンパス段数を少なくすることにより、LSIの試験時間を短縮している。その際、テストから与えるデータを工夫（例えばデコーダ回路等を用いてチェーン情報を圧縮）し、テスト制約内の少数のピンを用いて意味あるデータ部分（値の設定が必要なF/Fの情報）のみをテストから供給している。

【0035】

また、本発明では、DSPTの問題点であるテスト時間の増大や、テストのメモリ容量の増大をBISTにより解決する一方、BISTの問題点である検出率を改善する手法として、擬似ランダムパターンをATPGパターンで補完して用いる手法を採用している。

【0036】

上述したようにATPGが値を設定すべきF/Fの数は僅かであるが、実際にテストからパターンを供給する際には残りのF/F部分にはランダムパターンが設定される。これは、そのパターンによって該当故障以外の故障も付随的に検証することを期待したものである。本発明でも同様のことを行なうために、テストから設定情報が供給されるF/F以外の大部分のF/Fに対し、BISTと同様の回路を用いてランダムパターンが供給される。

【0037】

LSI試験では、テストからスキャンパスを介して内部F/Fに値を設定し、システムのクロックを叩いた後、内部のF/Fの値を、スキャンパスを介して外部に読み出して期待値と比較する必要がある。BISTでは、内部を高速で動作させる必要がある場合や、スキャンパス数が多い場合、内部F/Fの結果を圧縮

して格納し、後でゆっくりとテストで外部に読み出して期待値と比較する手法が採られている。このために、LFSRとEOR（排他的論理和）ゲートとから構成されるMISRが用いられている。

【0038】

本発明でも、スキャンパス数を多くするためにBISTと同様に内部F/Fの値を圧縮して外部に読み出す必要がある。この際、BISTの問題点で説明したようにRAMなどの不定状態（X状態）がMISRの圧縮結果を台無しにしてしまう場合がある。MISRの入り口にはEORゲートが使われており、MISRのフィードバックループ部分にも同様にEORゲートが使われている。EORゲートの入力1つにでも不定状態があるとEORゲートの出力も不定状態になってしまうため、フィードバックループにEORゲートを介装されているMISRの全てのレジスタは不定状態に縮退してしまう。そこで、本発明ではスキャンパスの出力側において、不定状態の出力をマスクしている。

【0039】

〔1〕第1実施形態の説明

図3は本発明の第1実施形態としての集積回路の試験装置の構成を示すブロック図である。この図3に示すように、第1実施形態の試験装置には、リニアフィードバックシフトレジスタ（LFSR）2、フェイズシフタ3、パターン修正器（Pattern Modifying Part）4、スキャンパス#0、#1、…、#n-1、不定マスク器5、スペースコンパクタ6、マルチインプットシグネチャレジスタ（MISR）7がそなえられている。この試験装置は、試験対象の集積回路であるLSIに組み込まれている。

【0040】

LFSR2で発生された疑似ランダムパターンがフェイズシフタ3を通してパターン修正器4に入力される。パターン修正器4には、テスト（図示省略）からの制御信号（Control Signals）が制御入力ピン等を通じて入力され、このパターン修正器4が、上記制御信号に従って、値を設定する必要があるF/Fのための値のみを修正し、その値を各スキャンパス#i（ $i=0, 1, \dots, n-1$ ）の先頭F/Fに入力・設定する。

【0041】

不定マスク器5は、制御入力ピン等から入力される制御信号に従って、各スキャンパス# i の最終F/Fの値のうち不定値(X状態)のものをマスクすることにより不定状態を規定の状態に変換してから、各スキャンパス# i の最終F/Fの値をスペースコンパクタ6に入力する。スペースコンパクタ6は、各スキャンパス# i の最終F/Fの値を、MISR7のビット数(例えば32ビット)程度に圧縮してMISRに入力する。さらに、MISR7は、スペースコンパクタ6からの圧縮データをさらに圧縮して格納するものである。

【0042】

図4は第1実施形態の試験装置におけるパターン発生部分の構成を詳細に示すブロック図である。この図4に示す例では、パターン発生器としてのLFSR2は、128本のスキャンパス($n=128$)を想定したものである。そして、図4に示すように、本実施形態のパターン発生部は、LFSR2とフェイズシフタ3とから構成され、LFSR2が疑似ランダムパターンを発生し、フェイズシフタ3を通して128本分のランダムビット列がパターン修正器4に入力される。

【0043】

これ以外に、パターン修正器4には、テスト(図示省略)から制御入力ピン8本($a_1 \sim a_8$)を通じて制御信号が入力される。また、パターン修正器4には、128本のスキャンパス#0, #1, ..., #127が接続されており、このパターン修正器4による修正結果(出力)が各スキャンパス# i ($i=0, 1, \dots, 127$)の先頭F/Fに入力されるようになっている。さらに、パターン修正器4において、各スキャンパス# i の先頭F/Fの出力は、その先頭F/Fの入力側へフィードバックされるようになっている。

【0044】

また、パターン修正器4は、LFSR2(およびMISR7)へのシフトクロックや、スキャンパス#0, #1, ..., #127上のF/Fへのシフトクロックも制御するもので、各スキャンパス# i の先頭F/Fに対するシフトクロックを独立に印加できるようになっている。

【0045】

パターン修正器4は、制御入力の下位7ビット（a2～a8）を入力とするデコーダ回路（Decoder）21を有しており、このデコーダ回路21によるデコード結果に応じて、128本のスキャンパス#0，#1，…，#127のうちの特定の1本に入力される信号値を、EOR回路22によって反転させることができるようになっている。制御入力ピンa1～a8に制御信号として与えられるコードと、そのコードに対応する動作とを、より具体的に以下に示す。

【0046】

（コード）	（動作）
00000000	ランダムパターンシフト
00000001	スキャンパス#1の先頭F／Fの値を反転
00000010	スキャンパス#2の先頭F／Fの値を反転
：	：
01111111	スキャンパス#127の先頭F／Fの値を反転
10000000	スキャンパス#0への入力値のみを反転する ランダムパターンシフト
10000001	スキャンパス#1への入力値のみを反転する ランダムパターンシフト
10000010	スキャンパス#2への入力値のみを反転する ランダムパターンシフト
：	：
11111111	スキャンパス#127への入力値のみを反転する ランダムパターンシフト

【0047】

制御入力全ビット「0」の場合には、LFSR2とスキャンパス上の全F／Fとにシフトクロック（ネガティブクロック；Scan Clock）が入力ピンa10を通じて供給され、LFSR2が先のクロックで作出したランダムビット列がそのままスキャンパスにシフトインされる。

【0048】

即ち、制御入力の下位7ビット（a2～a8）が「0」のためNOR（否定論

理和)回路24の出力は「1」、制御入力の最上位ビット(a1)は「0」のためNOR回路25の出力は「0」である。このため、マルチプレクサ(Mux)23はフェイズシフタ3からの信号をEOR(排他的論理和)回路22に送信する。そして、入力ピンa10からのシフトクロックは、スキャンパスの先頭F/Fには直接供給され、LFSR2とスキャンパス上の先頭F/F以外のF/FにはOR(論理和)回路26を通して供給される。なお、AND(論理積)回路27は、制御入力の全ビットが「0」の時、LFSR2からスキャンパス#0への入力の反転を防止するものである。

【0049】

制御入力が「10000000」から「11111111」の場合は、LFSR2とスキャンパス上の全F/Fとにシフトクロックが供給され、LFSR2が先のクロックで作ったランダムビット列がスキャンパスにシフトインされるが、その際に制御入力の下位7ビット(a2~a8)で指定される1本のスキャンパスの値のみがEOR回路22により反転される。

【0050】

即ち、制御入力の下位7ビット(a2~a8)の何れかが「1」のためNOR回路24の出力は「0」、制御入力の最上位ビット(a1)は「1」のためNOR回路25の出力は「0」である。このため、マルチプレクサ23はフェイズシフタ3からの信号をEOR回路22に送信する。そして、入力ピンa10からのシフトクロックは、スキャンパスの先頭F/Fには直接供給され、LFSR2とスキャンパス上の先頭F/F以外のF/FにはOR回路26を通して供給される。その際に制御入力の下位7ビットで指定された1本のスキャンパスについてのEOR回路22に対し、デコーダ回路21から「1」が入力されるので、マルチプレクサ23からの信号が、EOR回路22で反転されてから、指定されたスキャンパスの先頭F/Fに出力される。

【0051】

制御入力が「00000001」から「01111111」の場合は、スキャンパスの先頭F/Fのみにシフトクロックが供給され、LFSR2からの出力ではなく先頭F/Fの出力が有効となり先頭F/Fにフィードバックされるが、その際に制御入力の

下位7ビット（ $a_2 \sim a_8$ ）で指定される1本のスキャンパスの値のみがEOR回路22により反転される。この動作により、制御入力の下位7ビットで指定されたスキャンパスの先頭F/Fの値のみが反転されることになる。

【0052】

即ち、制御入力の下位7ビット（ $a_2 \sim a_8$ ）の何れかが「1」のためNOR回路24の出力は「0」、制御入力の上位ビット（ a_1 ）は「0」のためNOR回路25の出力は「1」である。このため、入力ピン a_{10} からのシフトクロックは、スキャンパスの先頭F/Fには供給されるが、OR回路26の出力がNOR回路25の出力によって「1」となるので、LFSR2とスキャンパス上の先頭F/F以外のF/Fにはシフトクロックが供給されない。そして、NOR回路25の出力「1」によってマルチプレクサ23は先頭F/Fからの出力信号をEOR回路22に送信する。その際に制御入力の下位7ビットで指定された1本のスキャンパスについてのEOR回路22に対し、デコーダ回路21から「1」が入力されるので、マルチプレクサ23からの信号が、EOR回路22で反転されてから、指定されたスキャンパスの先頭F/Fに出力される。

【0053】

図5は第1実施形態における乱数（疑似ランダムパターン）およびATPGの設定を説明するための図である。この図5における乱数の表では、LFSR2で生成されたF/Fに設定すべき乱数（疑似ランダムパターン）が示されている。また、図5におけるATPGの表で、「-」は、値を設定する必要のないF/Fに対応するものであり、「1」と「0」はATPGによりF/Fに設定されるべき値である。ATPGでは、LFSR2の動作をシミュレーションすることにより、LFSR2が発生する乱数を把握できるため、乱数表の修正が必要な値を見つけることができる。図5では、ATPGの表の点線の四角で囲まれた値が乱数の表の値と相違している。従って、本実施形態では、この相違する部分のみがパターン修正器4によって修正される。

【0054】

図4に示した回路を用いて任意の値を内部F/Fに設定するための入力パターンの具体例を以下に示す。

(パターン番号)	(コード)	(動作)
1	00000000	ランダムパターンシフト
2	10000011	スキャンパス # 3 への入力値のみを反転する ランダムパターンシフト
3	00000000	ランダムパターンシフト
4	10000001	スキャンパス # 1 への入力値のみを反転する ランダムパターンシフト
5	00000100	スキャンパス # 4 の先頭 F / F の値を反転
6	01111111	スキャンパス # 127 の先頭 F / F の値を反転
7	00000000	ランダムパターンシフト

【 0 0 5 5 】

ここに示す具体例では、7つのパターンがテストから供給される。第1パターン（パターン番号1）では全ビットが「0」であるため、ランダムパターンシフト動作が行なわれる。第2パターン（パターン番号2）では制御入力ピン a 1, a 7, a 8 に入力される制御信号が「1」であるため、スキャンパス # 3 への入力値のみが反転（「0」が「1」に反転）されるランダムパターンシフト動作が行なわれる。第3パターン（パターン番号3）では再び全ビットが「0」になるため、ランダムパターンシフト動作が行なわれる。

【 0 0 5 6 】

次の第4パターンから第6パターンではスキャンパス1段分のシフトが行なわれ、3ビット分のスキャンパスへの入力値が反転される。具体的には、第4パターン（パターン番号4）では制御入力ピン a 1, a 8 に入力される制御信号が「1」であるため、スキャンパス # 1 の値のみが反転（「0」が「1」に反転）されるランダムパターンシフト動作が行なわれ、次の第5パターン（パターン番号5）では制御入力ピン a 6 に入力される制御信号のみが「1」であるため、スキャンパス # 4 の先頭 F / F の値のみが反転（「1」が「0」に反転）される。さらに第6パターン（パターン番号6）では下位7ビットが全て「1」であるため、スキャンパス # 1 2 7 の先頭 F / F の値のみが反転（「1」が「0」に反転）される。ここで、第5パターンと第6パターンでは L F S R 2 と先頭以外のスキャ

ンパス上のF/Fにはシフトクロックは供給されない。最後に第7パターン（パターン番号7）では再び全ビットが「0」になるため、ランダムパターンシフト動作が行なわれる。

【0057】

以上の7つのパターンがテストから印加された時点でのスキャンパス上のF/Fの値を図6に示す。図6は第1実施形態における入力パターン例に対するシフト結果を説明するための図である。この図6において、「-」はLFSR2からのランダムパターンが設定されるF/Fを示し、「F」は、LFSR2のランダムパターンがATPGの要求値と異なるため、ランダムパターンの値を反転して設定されるF/Fを示す。

【0058】

以上の方法で、ATPGが要求する値を内部のF/Fに設定することができる。即ち、純粋なランダムパターンシフトおよび1ビットのみの反転を行なう場合には、1パターンで1段のシフトが完結する。2ビット以上の反転の場合には、1段のシフトのために反転ビット数分だけのパターンが必要になる。ここで、図2に示される事実から多ビット反転によるパターンの増加はほとんど起きず、多スキャンパス化による並列度の向上による試験時間の短縮が可能となる。また、テストに格納するデータ量も同様に並列度に従って減少させることができる。

【0059】

図7は第1実施形態の試験装置における出力検証部分の構成を詳細に示すブロック図である。この図7に示す例では、出力検証器としてのMISR7は、128本のスキャンパス（ $n=128$ ）を想定したものである。そして、図7に示すように、本実施形態の出力検証部は、MISR7とスペースコンパクタ6とから構成され、128本分のスキャンパス#0, #1, ..., #127の出力がスペースコンパクタ6によりMISR7のビット数程度に圧縮され、その圧縮データがMISR7によりさらに圧縮されて格納される。

【0060】

不定マスク器5には、制御入力ピン8本（ $b_1 \sim b_8$ ）を通じて制御信号（Control Signals）が入力されるほか、128本のスキャンパス#0, #1, ...,

#127の最終F/Fからの出力と、その最終F/Fの一段前の出力とが入力される。また、不定マスク器5において、各スキャンパス#iの最終F/Fの出力は、その最終F/Fの入力側へフィードバックされるようになっている。

【0061】

さらに、不定マスク器5は、MISR7（およびLFSR2）へのシフトクロックや、スキャンパス上のF/Fへのシフトクロックも制御するものである。不定状態をマスクする時には、スキャンパス#0, #1, ..., #127の最終F/Fのシフトクロックのみ印加され、他のスキャンパス上のF/FおよびMISR7（およびLFSR2）のシフトクロックは抑止される。

【0062】

不定マスク器5は、制御入力用最上位ビット（b1）でマスク動作を有効にし、制御入力の下位7ビット（b2～b8）を入力するとデコーダ回路（Decoder）31を有しており、このデコーダ回路21によるデコード結果に応じて、128本のスキャンパス#0, #1, ..., #127のうちの特定の1本に入力された不定値（X状態値）が、OR回路（またはAND回路）によって「1」状態値（または「0」状態値）に変換され、その不定値がマスクされる。

【0063】

即ち、制御入力ピンb1に「1」が入力されるとOR回路36の出力は「1」となるため、スキャンパス上の最終F/F以外のF/FおよびMISR7（およびLFSR2）へのシフトクロック（ネガティブクロック；Scan Clock）は抑止されるとともに、制御入力ピンb1の「1」によりマルチプレクサ33が最終F/Fの出力をフィードバックしてOR回路32に出力する。このため、デコーダ回路31から「1」を出力し、128本のスキャンパス#0, #1, ..., #127のうちの特定の1本に入力された不定値（X状態値）をOR回路32で「1」状態値に変換し、その不定値をマスクすることができる。なお、同時に他のスキャンパスのF/Fにも不定値があれば次のシフトクロックでそのF/Fからの出力（不定値）をマスクする。

パターン発生部分と出力検証部分とは基本的に独立のものであるが、両回路を共に適用する場合には、制御入力の下位7ビット部分を共用することも可能であ

る。

【 0 0 6 4 】

上述のような第 1 実施形態の試験装置を用いることにより、ATPG が発生するディターミニスティックなテストパターンを、集積回路 (LSI) に短時間で適用することが可能となる。具体的には、内部のスキャンパスの数を k 倍にすれば、ほぼ試験時間を $1/k$ に短縮することが可能となる。

それと同時に、テストに格納するパターンのデータ量を削減できる。具体的には、内部のスキャンパスの数を k 倍にすればほぼメモリ量を $1/k$ に削減することが可能となる。

【 0 0 6 5 】

第 1 実施形態では、BIST で用いられるパターン発生器 (LFSR 2 等) を利用しているが、ディターミニスティックなパターンが内部に適用されるので、バス回路の特別な制御回路や診断率向上のためのテストポイントの回路挿入などの、厳しい設計制約を設計者に課すことはない。また、BIST で用いられるパターン圧縮器 (MISR 7 等) が利用可能であり、不定マスク器 5 を用いることで、回路内部の不定状態が MISR 7 に伝播し検証不能になることを防ぐこともできる。

【 0 0 6 6 】

さらに、上記集積回路 (LSI) , LFSR 2, フェイズシフタ 3, パターン修正器 4, スキャンパス # 0, # 1, ..., # $n-1$, 不定マスク器 5, スペースコンパクタ 6, MISR 7 等は、コンピュータ上でシミュレートでき、実際の集積回路の製造前に試験データを作成することもできる。

【 0 0 6 7 】

このように、本発明の第 1 実施形態としての試験装置や試験方法によれば、集積回路 (LSI) 中に組み込まれた LFSR 2 で発生した試験パターンを、パターン修正器 4 で修正して n 本のスキャンパス # 0, # 1, ..., # $n-1$ に入力するため、スキャンパス数を増やしスキャンパス段数を少なくすることにより、集積回路 (LSI) の試験時間が大幅に短縮される。

【 0 0 6 8 】

また、本実施形態によれば、D S P T および B I S T の問題点が解決され、両者の利点を生かした高品質なテストを短時間で可能とする試験パターンが生成される。その際、意味あるデータ部分（値を設定する必要のある F / F の情報）のみをテスト（外部入力）から供給して修正するので、テストに格納されるデータ量を大幅に削減することもできる。従って、設計者に厳しい設計規約を課すことなく、且つ、高価なテストを必要とすることなく、高品質なテストを行なえる。

【0069】

さらに、集積回路内部の F / F により形成した n 本のスキャンパス # 0, # 1, ..., # n - 1 からの出力中の不定値をマスクし、マスクされた出力結果を M I S R 7 で検証するため、F / F からの出力結果を圧縮して外部に読み出しても、不定状態（X 状態）が圧縮結果を台無しにしてしまうことがなくなる。

さらに、M I S R 7 に、マスク処理後の出力結果を圧縮する圧縮手段をそなえるため、内部 F / F からの出力結果を M I S R 7 に効率よく格納することができる。

【0070】

第 1 実施形態で説明した試験装置のごとく、L F S R 2 で生成された疑似ランダムパターンを、A T P G パターンに基づいて補完する場合、修正ポイント（反転ポイント）の数が多くなると、その修正動作（反転動作）のためにオーバヘッドの増大が予想される。そこで、以下に説明する第 2 ～ 第 4 実施形態では、第 1 実施形態と同様の試験装置において、修正ポイントの数を抑えることによりパターン修正器 4 によるパターン修正量を削減し、オーバヘッドの増大を最小限に抑えることができるようにした、パターン生成手法について説明する。

【0071】

〔2〕第 2 実施形態の説明

図 8 ～ 図 12 を参照しながら、第 1 実施形態と同様の試験装置に適用される、第 2 実施形態としてのパターン生成手法について説明する。ここで、図 8 は本発明の第 2 実施形態としての集積回路の試験装置の動作を説明するためのフローチャート、図 9 ～ 図 12 はいずれも本発明の第 2 実施形態におけるパターン修正動作の具体例を説明するための図である。

【0072】

この第2実施形態における試験装置も第1実施形態と同様に構成されており、ATPG（自動テストパターン生成部；図示省略）からパターン修正器4にATPGパターンが与えられ、このパターン修正器4において、LFSR2によって発生された疑似ランダムパターンが、ATPGパターンに基づいて補完・修正される。

【0073】

その際、第2実施形態では、パターン修正器4が、複数の疑似ランダムパターンおよび複数のATPGパターンから、疑似ランダムパターンとATPGパターンとの適当な組合せを選択し、選択されたATPGパターンに基づいて、選択された疑似ランダムパターンを修正している。その手順を、図8に示すフローチャート（ステップS11～S20）に従って説明する。図8に示す手順で行なわれる処理は、パターン修正器4で行なってもよいし、本実施形態の試験装置の動作を管理するCPU等の制御部（図示省略）で行なってもよい。

【0074】

まず、4つのテストパターン集合A、B、A'、B'を定義して、これらの集合A、B、A'、B'を、全て空集合（ ϕ ）に初期設定しておく（ステップS11）。

そして、集合Aが空集合か否かを判定し（ステップS12）、空集合である場合（ステップS12のYESルート）には、ATPG（自動テストパターン生成部；図示省略）にi個のテストパターン（ATPGパターン）を発生させ、これらのATPGパターンを集合Aに追加する（ステップS13）。このとき、iの数が多い場合には、故障シミュレーションを行なってもよい。対象故障の選択基準は従来のATPGの処理に準じる。

【0075】

集合Aが空集合でない場合（ステップS12のNOルート）、もしくは、ステップS13でATPGパターンを集合Aに追加した後、集合Bが空集合か否かを判定し（ステップS14）、空集合である場合（ステップS14のYESルート）には、LFSR2にj個の疑似ランダムパターンを発生させ、これらのパター

ンを集合Bに追加する（ステップS15）。

【0076】

集合Bが空集合でない場合（ステップS14のNOルート）、もしくは、ステップS15で疑似ランダムパターンを集合Bに追加した後、ATPGパターン集合Aの中から、“don't care”のビット（不定状態(X)のビット）の数が最も少ないATPGパターンaを一つ選択する（ステップS16）。

そして、選択されたATPGパターンaと、テストパターン集合Bにおける全ての疑似ランダムパターンとを比較し、集合Bの中から、ATPGパターンaの各ビットの値と異なっている値（入力）の数が最も少ない疑似ランダムパターンbを一つ選択する（ステップS17）。

【0077】

上述のごとく選択されたATPGパターンaと疑似ランダムパターンbとを対応付け、これらのパターンaおよびbを、それぞれ、集合AおよびBから削除するとともに、集合A' およびB' に追加する。これら2つのパターンaおよびbを組み合わせて得られたパターン（パターン修正器4によりATPGパターンaに基づいて疑似ランダムパターンbを修正した結果）による故障シミュレーションを行なう（ステップS18）。

【0078】

この後、検出可能な故障を全て検出したか否か、つまり故障検出率が100%か否かを判断し（ステップS19）、故障検出率が100%でない場合（ステップS19のNOルート）、ステップS12に戻り、上述と同様の処理を繰り返し実行する。

【0079】

一方、故障検出率が100%になった場合（ステップS19のYESルート）、集合Bに残っている疑似ランダムパターンを集合B' に追加し、各疑似ランダムパターンに、集合A' のATPGパターンを対応させたものを、最終的なテストパターンの組み合わせとする（ステップS20）。ここで、最後に集合Bから集合B' に追加した疑似ランダムパターンには、対応する集合A' のATPGパターンが存在していない。また、パターンの並びは、疑似ランダムパターンの発

生順序に従うものとする。

【0080】

さて、図9には、上述のようなATPGパターンと疑似ランダムパターンとの組み合わせの変更処理を行わず、これらのパターンを作成順（出現順）に組み合わせた場合の具体例が示されている。図9に示す例では、3個のATPGパターンDP1、DP2、DP3と、3個の疑似ランダムパターンRP1、RP2、RP3とが順次作成され、作成順に組み合わされている。図9に示すように、これら3組のパターンを作成順に対応付けパターン修正器4によって疑似ランダムパターンの修正を行なった場合、設定値を反転・変更すべきF/Fの数は6個である。なお、図9において、（）内のmは各疑似ランダムパターンにおいて反転・変更すべき値の数を示している。

【0081】

つまり、ATPGパターンDP1 “1X000X11X”と疑似ランダムパターンRP1 “011010110”とを組み合わせた場合、疑似ランダムパターンRP1の先頭から1ビット目、3ビット目および5ビット目の3値が異なっているので、パターン修正器4が、これら3個の値を反転させ、修正パターン “110000110” を出力することになる（m=3）。同様に、ATPGパターンDP2 “X01XX1XXX”と疑似ランダムパターンRP2 “001010101”とを組み合わせた場合、疑似ランダムパターンRP2の先頭から6ビット目の1値のみが異なっているので、パターン修正器4が、この1個の値を反転させ、修正パターン “001011101” を出力することになる（m=1）。同様に、ATPGパターンDP3 “0XXX1X1X0”と疑似ランダムパターンRP3 “110110111”とを組み合わせた場合、疑似ランダムパターンRP3の先頭から1ビット目および9ビット目の2値が異なっているので、パターン修正器4が、これら2個の値を反転させ、修正パターン “010110110” を出力することになる（m=2）。

【0082】

図10には、図9と同じパターンに対し、図8を参照して上述したような、ATPGパターンと疑似ランダムパターンとの組み合わせの変更処理を行なった場

合の具体例（図8において、 $i = j = 3$ とした場合）が示されている。上述した組み合わせの変更処理を行なった場合、図10に示すように、3個のATPGパターンは、不定値Xの少ない順（つまり不定値Xでない信号値の多い順）DP1，DP3，DP2に並べ替えられる（図8のステップS16，S17参照）。そして、各ATPGパターンDP1，DP3，DP2に対し、疑似ランダムパターンRP1，RP2，RP3のうち、設定値を反転・変更すべきF/Fの数が最も少ないものが選択されて順に対応付けられる（図8のステップS18参照）。

【0083】

図10に示す例では、ATPGパターンDP1には、設定値を反転・変更すべきF/F数が最も少ない疑似ランダムパターンRP3が対応付けられ、同様に、ATPGパターンDP2には、残り2つの疑似ランダムパターンのうちで、設定値を反転・変更すべきF/F数が最も少ない疑似ランダムパターンRP1が対応付けられ、最後に、残りのATPGパターンDP2と疑似ランダムパターンRP2とが対応付けられる。上述のような組み合わせの変更処理（対応付け処理）を行なった上で、パターン修正器4による修正動作が行なわれる。このような処理を行なった場合、設定値を反転・変更すべきF/Fの数は3個になり、図9で示した手法に比べて修正量を減らすことができる。なお、図10においても（）内のmは各疑似ランダムパターンにおいて反転・変更すべき値の数を示している。

【0084】

図10に示す例について具体的に説明すると、上述のような組み合わせの変更処理を行なった場合、まず、ATPGパターンDP1“1X000X11X”と疑似ランダムパターンRP3“110110111”とが組み合わせられる。この組み合わせでは、疑似ランダムパターンRP1の先頭から3ビット目および4ビット目の2値が異なっているので、パターン修正器4が、これら2個の値を反転させ、修正パターン“110110111”を出力することになる（ $m = 2$ ）。ついで、ATPGパターンDP3“0XXX1X1X0”と疑似ランダムパターンRP1“011010110”とが組み合わせられる。この組み合わせでは、値の異なるビットが無いので、パターン修正器4は、修正動作を行なうことなく、疑似ランダムパターンRP1“011010110”をそのまま出力するこ

となる ($m=0$)。そして、最後に、ATPGパターンDP2 “X01XX1XXX”と疑似ランダムパターンRP2 “001010101”とが組み合わせられる。この組み合わせでは、疑似ランダムパターンRP2の先頭から6ビット目の1値が異なっているので、パターン修正器4が、この1個の値を反転させ、修正パターン “001011101” を出力することになる ($m=1$)。

【0085】

一方、図11には、図9に示した例と同様、上述のようなATPGパターンと疑似ランダムパターンとの組み合わせの変更処理を行わず、これらのパターンを作成順に組み合わせた場合の具体例が示されている。ただし、図11に示す例では、6個のATPGパターンDP1～DP6と、6個の疑似ランダムパターンRP1～RP6とが順次作成され、作成順（出現順）に組み合わせられている。図11に示すように、これら6組のパターンを作成順に対応付けパターン修正器4によって疑似ランダムパターンの修正を行なった場合、設定値を反転・変更すべきF/Fの数は12個になる。なお、図11においても、()内の m は各疑似ランダムパターンにおいて反転・変更すべき値の数を示している。ここでは、図11に示す例についての具体的な説明は省略する。

【0086】

図12には、図11と同じパターンに対し、図8を参照して上述したような、ATPGパターンと疑似ランダムパターンとの組み合わせの変更処理を行なった場合の具体例（図8において、 $i=j=3$ とした場合）が示されている。この場合、図12に示すように、6個のATPGパターンDP1～DP6と、6個の疑似ランダムパターンRP1～RP6とは、それぞれ前後2組に分けられ、3個のATPGパターンDP1～DP3と3個の疑似ランダムパターンRP1～RP3との組み合わせの変更処理を行なった後、3個のATPGパターンDP4～DP6と3個の疑似ランダムパターンRP4～RP6との組み合わせの変更処理を行なう。これにより、ATPGパターンDP1, DP2, DP3がそれぞれ疑似ランダムパターンRP3, RP2, RP1に対応付けられるとともに、ATPGパターンDP4, DP5, DP6がそれぞれ疑似ランダムパターンRP5, RP4, RP6に対応付けられる。このような組み合わせの変更処理（対応付け処理）

を行なった上で、パターン修正器 4 による修正動作が行なわれる。このような処理を行なった場合、設定値を反転・変更すべき F/F の数は 7 個になり、図 1 1 で示した手法に比べて修正量を大幅に減らすことができる。なお、図 1 2 においても、() 内の m は各疑似ランダムパターンにおいて反転・変更すべき値の数を示している。また、図 1 2 に示す例についての具体的な説明は省略する。

【0087】

このように、本発明の第 2 実施形態としての試験装置によれば、複数の疑似ランダムパターンおよび複数の ATPG パターンから疑似ランダムパターンと ATPG パターンとの適当な組合せを選択し、選択された ATPG パターンを修正の基準として用いて疑似ランダムパターンを修正することにより、パターン修正器 4 によるパターン修正量が大幅に削減され、効率よくパターンの修正を行なうことができ、ひいては集積回路の試験をより効率よく行なえるようになる。

【0088】

〔3〕第 3 実施形態の説明

図 1 3 および図 1 4 を参照しながら、第 1 実施形態と同様の試験装置に適用される、第 3 実施形態としてのパターン生成手法について説明する。ここで、図 1 3 は本発明の第 3 実施形態としての集積回路の試験装置の動作を説明するためのフローチャート、図 1 4 は本発明の第 3 実施形態における ATPG パターン生成動作の具体例を説明するための図である。

【0089】

この第 3 実施形態における試験装置も第 1 実施形態と同様に構成されており、ATPG (自動テストパターン生成部; 図示省略) からパターン修正器 4 に ATPG パターンが与えられ、このパターン修正器 4 において、LFSR 2 によって発生された疑似ランダムパターンが ATPG パターンに基づいて補完・修正される。

【0090】

その際、第 3 実施形態では、ATPG が、LFSR 2 によって発生された疑似ランダムパターンを参照し、その疑似ランダムパターンに応じた適当な対象故障を選択し、その対象故障を検出する ATPG パターンを、当該疑似ランダムパ

ターンの修正基準として生成してパターン修正器 4 に与えている。その手順を、図 1 3 に示すフローチャート（ステップ S 2 1 ～ S 2 7）に従って説明する。図 1 3 に示す手順で行なわれる処理は、A T P G で行なってもよいし、本実施形態の試験装置の動作を管理する C P U 等の制御部（図示省略）で行なってもよい。

【0091】

まず、未検出故障の集合（未検出故障リスト）F を作成しておいてから（ステップ S 2 1）、L F S R 2 により疑似ランダムパターンを一つ生成させ（ステップ S 2 2）、生成された疑似ランダムパターンについて、各信号線の反転コストを計算し（ステップ S 2 3）、未検出故障リスト F の中から、最も反転コストの少ない信号線上の未検出故障 f を一つ選択する（ステップ S 2 4）。なお、反転コストについては、図 1 4 を参照しながら後述する。

【0092】

そして、選択された故障 f をターゲット（検出対象）とした A T P G パターンを生成し（ステップ S 2 5）、生成された A T P G パターンと上記疑似ランダムパターンとを組み合わせ得られたパターン（パターン修正器 4 により A T P G パターンに基づいて疑似ランダムパターンを修正した結果）による故障シミュレーションを行なうとともに、検出した故障 f を未検出故障リスト F から削除する（ステップ S 2 6）。この後、未検出故障リスト F に未検出故障があるか否かを判断し（ステップ S 2 7）、未検出故障がある場合（ステップ S 2 7 の Y E S ルート）、ステップ S 2 2 に戻り、上述と同様の処理を繰り返し実行する一方、未検出故障が無くなった場合（ステップ S 2 7 の N O ルート）、処理を終了する。

【0093】

さて、次に、図 1 4 を参照しながら、反転コストと、A T P G パターンによる検出対象故障（ターゲット）の選択基準とについて具体的に説明する。図 1 4 に示す論理回路においては、L F S R 2 によって生成された、ある疑似ランダムパターンが与えられた状態で、未検出故障リストに、AND ゲート A の出力信号線の 0 縮退故障と AND ゲート B の出力信号線の 0 縮退故障とが未検出故障として残っているものとする。また、図 1 4 に示す論理回路の 6 本の入力信号線（入力ピン）に対する入力として、L F S R 2 により、疑似ランダムパターンとして“

000111”が生成されたものとする。ここでは、上述した2種類の0縮退故障を検出するためのATPGパターンの生成について考える。なお、図14に示す論理回路は、2入力のANDゲートAと、4入力のANDゲートBと、これらのANDゲートA、Bの論理和を出力するORゲートCとから構成されている。

【0094】

まず、それぞれのゲートについて、出力値を反転させるコスト（反転コスト）を計算する。各入力信号線への入力信号を反転させるために必要なコストを1とすると、0値を出力しているANDゲートの出力値を反転させるために必要なコストは、0値を入力されている入力信号線のコストの合計に等しい。逆に、1値を出力しているANDゲートの出力値を反転させるために必要なコストは、入力信号線のコストのうち最も低いコストと等しい。図14の（）中の値はこの計算により得られた反転に必要なコストである。

【0095】

次に、ATPGパターンによる検出対象故障（ターゲット）の選択基準について考える。図14に示す例において、ANDゲートAの出力の0縮退故障を検出するためには、ANDゲートAの出力値を“1”とする必要があり、ANDゲートBの出力の0縮退故障を検出するためにはANDゲートBの出力値を“1”とする必要がある。このとき、出力値を反転させるために必要なコストは、上述した計算手法によれば、ANDゲートAについては“2”、ANDゲートBについては“1”となり、ANDゲートAよりもANDゲートBの方が低い。つまり、ANDゲートBの0縮退故障をターゲットにした方が、設定値を反転すべきF/Fの数が少なくなる。

【0096】

これに対し、通常の可制御性を用いて対象故障を選択する場合、ANDゲートAの方がANDゲートBよりも1可制御性が小さいため、ANDゲートAが選択され、ANDゲートAの0縮退故障をターゲットにすることになる。このことから、第3実施形態の手法で生成したATPGパターンは、可制御性を用いて作成したATPGパターンよりも疑似ランダムパターンの修正量が少ないことがわかる。

【0097】

上述のごとく対象故障を選択した場合、ATPGは、図14に示す疑似ランダムパターン“000111”に対し、パターン修正器4において先頭から3ビット目の値が“0”から“1”に反転・修正されるようなATPGパターン（例えば“XX1XXX”，“001111”など）を生成し、パターン修正器4に与える。

【0098】

このように、本発明の第2実施形態としての試験装置によれば、ATPGが、LFSR2からの疑似ランダムパターンを参照して、F/Fのフリップ数が少なくなるような対象故障（疑似ランダムパターンに応じた適当な対象故障）を選択しその対象故障を検出するATPGパターンを生成し、そのATPGパターンが、パターン修正器4において疑似ランダムパターンの修正基準として用いられるので、パターン修正器4によるパターン修正量が削減され、効率よくパターンの修正を行なうことができ、ひいては集積回路の試験をより効率よく行なえるようになる。

【0099】

〔4〕第4実施形態の説明

図15および図16を参照しながら、第1実施形態と同様の試験装置に適用される、第4実施形態としてのパターン生成手法について説明する。ここで、図15は本発明の第4実施形態としての集積回路の試験装置における特性情報決定動作の第1例（シード値決定動作）を説明するためのフローチャート、図16は本発明の第4実施形態としての集積回路の試験装置における特性情報決定動作の第2例（フィードバック位置決定動作）を説明するためのフローチャートである。

【0100】

この第4実施形態における試験装置も第1実施形態とほぼ同様に構成されており、ATPG（自動テストパターン生成部；図示省略）からパターン修正器4にATPGパターンが与えられ、このパターン修正器4において、LFSR2によって発生された疑似ランダムパターンがATPGパターンに基づいて補完・修正される。

【0101】

ただし、第4実施形態の試験装置では、第1実施形態の試験装置に、特性情報決定部（図15の符号10Aもしくは図16の符号10B参照）がさらに追加されている。この特性情報決定部は、LFSR2によって発生される疑似ランダムパターンとATPGパターンとを比較し、そのATPGパターンに近い疑似ランダムパターンをLFSR2に発生させうる、LFSR2の特性情報を決定するものである。この特性情報決定部は、LFSR2にそなえてもよいし、本実施形態の試験装置の動作を管理するCPU等の制御部（図示省略）が上記特性情報決定部としての機能を果たしてもよい。そして、第4実施形態の試験装置では、LFSR2が、上記特性情報決定部により決定された特性情報に基づいて、疑似ランダムパターンを発生するようになっている。

【0102】

疑似ランダムパターン発生器として、現在、一般的に使用されるLFSRは、リニアに接続された複数個のレジスタを有し、これらのレジスタからの複数の出力を、排他的論理和ゲートを介して先頭の入力部にフィードバックするような構成となっている。このような構成を有するLFSR2によって生成されるビット列は、フィードバックの位置や初期値（シード値）によって異なる。つまり、LFSR2におけるフィードバックの位置やシード値を変更することにより、異なる性質の乱数系列が生成されることになる。そこで、第4実施形態においては、上記特性情報決定部により、適切なシード（seed）値やフィードバック位置をLFSR2の特性情報として決定することにより、LFSR2が、ATPGパターンに近い疑似ランダムパターンを生成できるようにして、パターン修正器4での修正量を少なくしている。

【0103】

ここで、特性情報決定部を、LFSR2の特性情報としてシード値を決定するシード値決定部10A（図15参照）として構成した場合における、そのシード値決定部10Aの動作について、図15に示すフローチャート（ステップS31～S34）に従って説明する。

【0104】

LFSR2に設定されるべき複数種類のシード値（シード値セット）を予め準備しておいてから、そのシード値セットの中からシード値を一つ選択してLFSR2に設定し、そのシード値に基づいてLFSR2を動作させる（ステップS31）。そして、そのシード値に基づいてLFSR2から生成された疑似ランダムパターンと、ATPGパターンとを比較してから（ステップS32）、シード値セットにおける全てのシード値について選択・比較処理を終了したか否かを判断する（ステップS33）。

【0105】

まだ終了していない場合（ステップS33のNOルート）、ステップS31に戻り、上述と同様の処理を繰り返し実行する。

一方、全てのシード値について選択・比較処理を終了した場合（ステップS33のYESルート）、ステップS32での比較結果に基づき、最適なシード値、つまり、ATPGパターンに最も近い疑似ランダムパターンをLFSR2に発生させうるシード値を決定して出力する（ステップS34）。

【0106】

また、特性情報決定部を、LFSR2の特性情報としてフィードバック位置を決定するフィードバック位置決定部10B（図16参照）として構成した場合における、そのフィードバック位置決定部10Bの動作について、図16に示すフローチャート（ステップS41～S44）に従って説明する。

【0107】

フィードバック位置の異なる複数種類のLFSR（LFSRセット）を予め準備しておいてから、そのLFSRセットの中からLFSRを一つ選択してLFSR2として用い、そのLFSR2を動作させる（ステップS41）。そして、そのLFSR2から生成された疑似ランダムパターンと、ATPGパターンとを比較してから（ステップS42）、LFSRセットにおける全種類のLFSRについて選択・比較処理を終了したか否かを判断する（ステップS43）。

【0108】

まだ終了していない場合（ステップS43のNOルート）、ステップS41に戻り、上述と同様の処理を繰り返し実行する。

一方、全てのシード値について選択・比較処理を終了した場合（ステップ S 4 3 の Y E S ルート）、ステップ S 4 2 での比較結果に基づき、A T P G パターンに最も近い疑似ランダムパターンを L F S R 2 に発生させるフィードバック位置を決定する、つまり、最適なフィードバック位置を有する L F S R を決定する（ステップ S 4 4）。

【0109】

このように、本発明の第 4 実施形態としての試験装置によれば、A T P G パターンに近い疑似ランダムパターンを L F S R 2 に発生させる、L F S R 2 の特性情報が決定され、その特性情報に基づいて、疑似ランダムパターンが発生されるので、パターン修正器 4 によるパターン修正量が削減され、効率よくパターンの修正を行なうことができ、ひいては集積回路の試験をより効率よく行なえるようになる。

【0110】

〔5〕第 5 実施形態の説明

ところで、ダイナミックコンパクションによる A T P G に基づいて補完されたパターンは、パターン発生の初期のものほど、該当故障を検出するための値を設定すべき F / F の数が多くなる傾向にある。このことは、試験の初期段階では疑似ランダムパターンに対する修正量が多くオーバーヘッドが大きくなることを意味している。しかし、一方で試験の初期段階では検出容易な故障が多く存在しており、疑似ランダムパターンでも多くの故障が検出されることが期待される。以下に説明する第 5 実施形態では、このような特性を利用したパターン生成手法およびその手法を適用された、2 種類の試験装置について説明する。

【0111】

〔5-1〕第 1 構成例の説明

図 1 7 は本発明の第 5 実施形態としての集積回路の試験装置の第 1 構成例を示すブロック図であり、この図 1 7 に示すように、第 5 実施形態の第 1 構成例の試験装置は、ターゲット故障数設定部 1 1 A、疑似ランダムパターン発生部 1 2 A、A T P G 部 1 3 A、パターン修正部 1 4 A、故障シミュレーション部 1 5 A および制御部 1 6 A をそなえて構成されている。

【0112】

ターゲット故障数設定部（実行制限条件設定部）11Aは、ATPG部13AがATPGパターンに対する圧縮処理（ダイナミックコンパクション）を実行する場合に、その圧縮処理の実行制限条件を設定するもので、ここでは、実行制限条件として、一つのATPGパターンによって検出されるべき故障の数の上限値を設定するものであり、ATPGパターンの生成の進行に伴って、その上限値を大きくするように動作する。

【0113】

より具体的に説明すると、ターゲット故障数設定部11Aは、制御部16Aから通知される、故障検出率やその故障検出率の変化率や生成テストパターン数や実行時間（疑似ランダムパターン発生部12Aの実行時間）等を、テスト進行を示すの指標として取得し、図18を参照しながら後述するごとく、ターゲット荷重（ w_{target} ）を算出し、このターゲット荷重と未検出故障数とに基づいて、ターゲット故障の上限数であるターゲット故障数上限値（ $target_limit$ ）を算出・設定し、そのターゲット故障数上限値を制御部16Aに通知するものである。

【0114】

疑似ランダムパターン発生部（パターン発生器）12Aは、第1実施形態におけるLFSR2に対応するもので、やはりLFSRにより実現される乱数発生器を用いて疑似ランダムパターンを生成するものである。

ATPG部（自動テストパターン生成部）13Aは、ダイナミックコンパクションモードでテストパターン生成を行なうものであり、ATPGパターンの圧縮対象となった故障の数が、ターゲット故障数設定部11Aによって設定されたターゲット故障数上限値（ $target_limit$ ）を超過するまで（つまり実行制限条件が満たされるまで）、もしくは、全ての未検出故障がターゲット故障となるまで、二次故障に対するテストパターン生成（圧縮処理）を繰り返し行なうようになっている。

【0115】

つまり、ATPG部13Aは、ATPGパターンの圧縮対象となった故障の数が、ターゲット故障数設定部11Aによって設定されたターゲット故障数上限値

(target_limit) に達した時点で、A T P G パターンに対する圧縮処理を終了させるようになっている。

【0 1 1 6】

パターン修正部（パターン修正器）1 4 A は、第 1 実施形態におけるパターン修正器 4 に対応するもので、A T P G 部 1 3 A により生成された A T P G パターンと、疑似ランダムパターン発生部 1 2 A により生成された疑似ランダムパターンとを受け取り、これらの A T P G パターンと疑似ランダムパターンとを比較して、疑似ランダムパターンの中で、A T P G パターンの値と異なる入力ポイントの値を反転・修正し、修正された疑似ランダムパターンを修正テストパターンとして故障シミュレーション部 1 5 A に転送するものである。

【0 1 1 7】

故障シミュレーション部 1 5 A は、パターン修正部 1 4 A により修正されたテストパターンを受け取り、そのテストパターンによって検出可能な未検出故障をシミュレート（評価）し、そのシミュレーションによって特定される、故障検出率、その故障検出率の変化率、実行時間、生成テストパターン数等のテスト進行指標を制御部 1 6 A に通知するものである。

【0 1 1 8】

制御部 1 6 A は、上述したターゲット故障数設定部 1 1 A、疑似ランダムパターン発生部 1 2 A、A T P G 部 1 3 A、パターン修正部 1 4 A および故障シミュレーション部 1 5 A の動作を制御するためのもので、具体的には、ターゲット故障数設定部 1 1 A へのテスト進行指標の通知や、ターゲット故障数上限値の受信や、A T P G 部 1 3 A へのターゲット故障数上限値および A T P G パターン生成要求の通知や、疑似ランダムパターン発生部 1 2 A へのパターン生成要求の通知や、パターン修正部 1 4 A への修正要求の通知や、故障シミュレーション部 1 5 A へのシミュレーション実行要求の通知や、テスト進行指標の受信を行なうものである。そして、制御部 1 6 A は、全ての故障を検出した場合、または、故障検出率、生成テストパターン数もしくは実行時間のいずれかが指示された値に達した場合に、処理を終了するようになっている。

【0 1 1 9】

次に、図17を参照しながら上述したごとく構成された試験装置の動作を、図18に示すフローチャート（ステップS51～S59）に従って説明する。

まず、ターゲット故障数設定部11Aにより、ターゲット故障数上限値（target_limit）を、テストパターン生成の初期段階では十分に小さく、テストの進行に伴いその上限値を上昇させるように算出・設定して、制御部16Aに通知する（ステップS51）。その際、ターゲット故障数設定部11Aは、制御部16Aから、故障検出率／検出率変化率、生成テストパターン数、実行時間等をテスト進行指標として取得し（ステップS511）、これらのテスト進行指標を引数としてターゲット荷重（w_target）を算出する（ステップS512）。故障検出率によってターゲット荷重（w_target）を算出する算出式の一例を下式(1)として示す。

$$w_target = (100.0 - \text{故障検出率}(\%)) / 100.0 \quad (1)$$

【0120】

そして、ターゲット故障数設定部11Aは、上式(1)によって算出されたターゲット荷重（w_target）と、未検出故障数とに基づいて、ターゲット故障数上限値（target_limit）を、例えば下式(2)により算出・設定してから、制御部16Aに通知する（ステップS513）。

$$\text{target_limit} = \text{未検出故障数} * w_target \quad (2)$$

【0121】

この後、制御部16Aは、疑似ランダムパターン発生部12Aにパターン生成要求を通知して疑似ランダムパターンを生成するとともに（ステップS52）、ATPG部13Aに、ターゲット故障数上限値（target_limit）およびATPGパターン生成要求を通知して、ダイナミックコンパクションを伴うATPGパターン生成を実行させる（ステップS53）。

【0122】

このとき、ATPG部13Aでは、まず、一次故障についてのテストパターンを生成してから（ステップS531）、二次故障を検出するためのテストパターンをマージする（ステップS532）。このマージ処理は、ステップS61～S65に従って以下のように実行される。つまり、マージ処理中のATPGパター

ンの対象故障数（ATPGパターンの圧縮対象となった故障の数；ターゲット故障数）の初期値として“1”を設定してから（ステップS61）、ターゲット故障数がターゲット故障数上限値（target_limit）に達したか否かを判定する（ステップS62）。上限値に達していない場合（ステップS62のNOルート）、二次故障のためのテストパターンを生成・マージし（ステップS63）、ターゲット故障数を1だけインクリメントしてから（ステップS64）、全ての未検出故障がターゲットになったか否かを判断する（ステップS65）。未検出故障が残っている場合（ステップS65のNOルート）、ステップS62に戻り上述と同様の処理を行なう一方、未検出故障が残っていない場合（ステップS65のYESルート）や、ターゲット故障数が上限値に達した場合（ステップS62のYESルート）、ATPG部13Aはダイナミックコンパクションを終了する。

【0123】

ついで、制御部16Aは、パターン修正部14Aに修正要求を通知して疑似ランダムパターンの修正処理を実行させる（ステップS54）。その際、パターン修正部14Aでは、ATPG部13Aにより生成されたATPGパターンと、疑似ランダムパターン発生部12Aにより生成された疑似ランダムパターンとが比較され、疑似ランダムパターンの中で、ATPGパターンの値と異なる入力ポイントの値が反転・修正される。このようにして修正された疑似ランダムパターンが、修正テストパターンとして故障シミュレーション部15Aに送信される。

【0124】

そして、制御部16Aは、故障シミュレーション部15Aにシミュレーション実行要求を通知して、修正テストパターンによるシミュレーションを実行させる（ステップS55）。その際、故障シミュレーション部15Aでは、修正テストパターンによって検出可能な未検出故障がシミュレート（評価）され、そのシミュレーションによって特定される、故障検出率／検出率変化率、実行時間、生成テストパターン数等のテスト進行指標が制御部16Aに通知される。

【0125】

シミュレーション終了後、制御部16Aは、全ての故障を検出したか否かの判定（ステップS56）、故障検出率が指示された値に達したか否かの判定（ステ

ップ S 5 7)、生成テストパターン数が指示された値(制限値)に達したか否かの判定(ステップ S 5 8)、実行時間が指示された値(制限値)に達したか否かの判定(ステップ S 5 9)を行なう。これらのステップ S 5 6～S 5 9で全て N O 判定となった場合には、ステップ S 5 1に戻り上述と同様の処理が実行される。これらのステップ S 5 6～S 5 9のうちのいずれか一つでも Y E S 判定となった場合には、処理を終了する。

【 0 1 2 6 】

このように、本発明の第 5 実施形態の第 1 構成例の試験装置によれば、A T P G 部 1 3 A がダイナミックコンパクションにより検出対象故障の圧縮を行なう際に、検出対象故障の数に関する上限値を設け、この上限値に到達した時点で圧縮を終了するとともに、その上限値が、テストパターン生成の初期では小さく設定されテストパターン生成の進行に伴い大きく設定される。これにより、A T P G パターンにおける要求値(不定値以外の値)の数を抑制することができる。特に、テストパターン生成の初期でのテストパターン修正量が抑制される。従って、パターン修正部 1 4 A によるパターン修正量が削減され、効率よくパターンの修正を行なうことができ、ひいては集積回路の試験をより効率よく行なえるようになる。

【 0 1 2 7 】

〔 5 - 2 〕 第 2 構成例の説明

図 1 9 は本発明の第 5 実施形態としての集積回路の試験装置の第 2 構成例を示すブロック図であり、この図 1 9 に示すように、第 5 実施形態の第 2 構成例の試験装置は、パターン修正上限値設定部 1 1 B、疑似ランダムパターン発生部 1 2 B、A T P G 部 1 3 B、パターン修正部 1 4 B、故障シミュレーション部 1 5 B および制御部 1 6 B をそなえて構成されている。

【 0 1 2 8 】

パターン修正上限値設定部(実行制限条件設定部) 1 1 B は、A T P G 部 1 3 B が A T P G パターンに対する圧縮処理(ダイナミックコンパクション)を実行する場合に、その圧縮処理の実行制限条件を設定するもので、ここでは、実行制限条件として、一つの A T P G パターンに基づいて後述するパターン修正部 1 4

Bが疑似ランダムパターンの修正を行なった場合におけるパターン修正量の上限值を設定するものであり、ATPGパターンの生成の進行に伴って、その上限値を大きく変化させるように動作する。

【0129】

より具体的に説明すると、パターン修正上限値設定部11Bは、制御部16Bから通知される、故障検出率やその故障検出率の変化率や生成テストパターン数や実行時間（疑似ランダムパターン発生部12Bの実行時間）等を、テスト進行を示すの指標として取得し、図20を参照しながら後述するごとく、修正数荷重（ w_{modify} ）を算出し、この修正数荷重と対象回路内に存在するスキャンF/Fの数とに基づいて、修正ポイント数の上限（パターン修正量の上限值）である修正数上限値（ modify_limit ）を算出・設定し、その修正数上限値を制御部16Bに通知するものである。

【0130】

疑似ランダムパターン発生部（パターン発生器）12Bは、第1実施形態におけるLFSR2に対応するもので、やはりLFSRにより実現される乱数発生器を用いて疑似ランダムパターンを生成するものである。

ATPG部（自動テストパターン生成部）13Bは、ダイナミックコンパクションモードでテストパターン生成を行なうものであり、疑似ランダムパターン発生部12Bの生成する疑似ランダムパターンと、一次故障もしくは二次故障のためにATPG手法によって生成されたテストパターン（ATPGパターン）とを比較し、後述するパターン修正部14Bで見込まれるパターン修正数を逐一評価し、そのパターン修正数の合計値（累積値）がパターン修正上限値設定部11Bによって設定された修正数上限値（ modify_limit ）を超過するまで（つまり実行制限条件が満たされるまで）、二次故障に対するテストパターン生成（圧縮処理）を繰り返し行なうようになっている。

【0131】

つまり、ATPG部13Bは、圧縮中のATPGパターンに基づいてパターン修正部14Bが疑似ランダムパターンの修正を行なった場合におけるパターン修正量が、パターン修正上限値設定部11Bによって設定された修正数上限値（ mo

dify_limit) に達した時点で、A T P G パターンに対する圧縮処理を終了させるようになっている。

【 0 1 3 2 】

パターン修正部（パターン修正器）1 4 B は、第 1 実施形態におけるパターン修正器 4 に対応するもので、A T P G 部 1 3 B により生成された A T P G パターンと、疑似ランダムパターン発生部 1 2 B により生成された疑似ランダムパターンとを受け取り、これらの A T P G パターンと疑似ランダムパターンとを比較して、疑似ランダムパターンの中で、A T P G パターンの値と異なる入力ポイントの値を反転・修正し、修正された疑似ランダムパターンを修正テストパターンとして故障シミュレーション部 1 5 B に転送するものである。

【 0 1 3 3 】

故障シミュレーション部 1 5 B は、パターン修正部 1 4 B により修正されたテストパターンを受け取り、そのテストパターンによって検出可能な未検出故障をシミュレート（評価）し、そのシミュレーションによって特定される、故障検出率、その故障検出率の変化率、実行時間、生成テストパターン数等のテスト進行指標を制御部 1 6 B に通知するものである。

【 0 1 3 4 】

制御部 1 6 B は、上述したパターン修正上限値設定部 1 1 B、疑似ランダムパターン発生部 1 2 B、A T P G 部 1 3 B、パターン修正部 1 4 B および故障シミュレーション部 1 5 B の動作を制御するためのもので、具体的には、パターン修正上限値設定部 1 1 B へのテスト進行指標の通知や、修正数上限値の受信や、A T P G 部 1 3 B への修正数上限値および A T P G パターン生成要求の通知や、疑似ランダムパターン発生部 1 2 B へのパターン生成要求の通知や、パターン修正部 1 4 B への修正要求の通知や、故障シミュレーション部 1 5 B へのシミュレーション実行要求の通知や、テスト進行指標の受信を行なうものである。そして、制御部 1 6 B は、制御部 1 6 A と同様、全ての故障を検出した場合、または、故障検出率、生成テストパターン数もしくは実行時間のいずれかが指示された値に達した場合に、処理を終了するようになっている。

【 0 1 3 5 】

次に、図 20 を参照しながら上述したごとく構成された試験装置の動作を、図 19 に示すフローチャート（ステップ S 7 1 ～ S 7 9）に従って説明する。

まず、パターン修正上限値設定部 1 1 B により、修正数上限値 (modify_limit) を、テストパターン生成の初期段階では十分に小さく、テストの進行に伴いその上限値を上昇させるように算出・設定して、制御部 1 6 B に通知する（ステップ S 7 1）。その際、パターン修正上限値設定部 1 1 B は、制御部 1 6 B から、故障検出率／検出率変化率、生成テストパターン数、実行時間等をテスト進行指標として取得し（ステップ S 7 1 1）、これらのテスト進行指標を引数として修正数荷重 (w_modify) を算出する（ステップ S 7 1 2）。故障検出率によって修正数荷重 (w_modify) を算出する算出式の一例を下式(3)として示す。

$$w_modify = (100.0 - \text{故障検出率}(\%)) / 100.0 \quad (3)$$

【0 1 3 6】

そして、パターン修正上限値設定部 1 1 B は、上式(3)によって算出された修正量荷重 (w_modify) と、対象回路内に存在するスキャン F / F の数とに基づいて、修正数上限値 (modify_limit) を、例えば下式(4)により算出・設定してから、制御部 1 6 B に通知する（ステップ S 7 1 3）。

$$\text{target_limit} = \text{スキャン F / F 数} * w_modify \quad (4)$$

【0 1 3 7】

この後、制御部 1 6 B は、疑似ランダムパターン発生部 1 2 B にパターン生成要求を通知して疑似ランダムパターンを生成するとともに（ステップ S 7 2）、ATPG 部 1 3 B に、修正数上限値 (modify_limit) および ATPG パターン生成要求を通知して、ダイナミックコンパクションを伴う ATPG パターン生成を実行させる（ステップ S 7 3）。

【0 1 3 8】

このとき、ATPG 部 1 3 B では、まず、パターン修正総数の初期値として“0”を設定してから（ステップ S 7 3 1）、一次故障についてのテストパターンを生成し（ステップ S 7 3 2）、パターン修正数の評価を行なう（ステップ S 7 3 3）。その際、一次故障に対するテストパターンと疑似ランダムパターンとを比較し、パターン修正部 1 4 B で見込まれるパターン修正数を評価して求める。

そして、そのパターン修正評価数をパターン修正総数に加算してから（ステップ S 7 3 4）、二次故障を検出するためのテストパターンをマージする（ステップ S 7 3 5）。

【0139】

このマージ処理は、ステップ S 8 1～S 8 5に従って以下のように実行される。つまり、まず、現在のパターン修正総数が修正数上限値（modify_limit）に達しているか否かを判定する（ステップ S 8 1）。上限値に達していない場合（ステップ S 8 1のNOルート）、二次故障のためのテストパターンを生成・マージし（ステップ S 8 2）、パターン修正数の評価を行なう（ステップ S 8 3）。その際、ステップ S 7 3 3と同様、二次故障に対するテストパターンと疑似ランダムパターンとを比較し、パターン修正部 1 4 Bで見込まれるパターン修正数を評価して求める。そして、そのパターン修正評価数をパターン修正総数に加算してから（ステップ S 8 4）、全ての未検出故障がターゲットになったか否かを判断する（ステップ S 8 5）。未検出故障が残っている場合（ステップ S 8 5のNOルート）、ステップ S 8 1に戻り上述と同様の処理を行なう一方、未検出故障が残っていない場合（ステップ S 8 5のYESルート）や、パターン修正総数が上限値に達した場合（ステップ S 8 1のYESルート）、ATPG部 1 3 Bはダイナミックコンパクションを終了する。

【0140】

ついで、制御部 1 6 Bは、パターン修正部 1 4 Bに修正要求を通知して疑似ランダムパターンの修正処理を実行させる（ステップ S 7 4）。その際、パターン修正部 1 4 Bでは、ATPG部 1 3 Bにより生成されたATPGパターンと、疑似ランダムパターン発生部 1 2 Bにより生成された疑似ランダムパターンとが比較され、疑似ランダムパターンの中で、ATPGパターンの値と異なる入力ポイントの値が反転・修正される。このようにして修正された疑似ランダムパターンが、修正テストパターンとして故障シミュレーション部 1 5 Bに送信される。

【0141】

そして、制御部 1 6 Bは、故障シミュレーション部 1 5 Bにシミュレーション実行要求を通知して、修正テストパターンによるシミュレーションを実行させる

(ステップ S 7 5)。その際、故障シミュレーション部 1 5 B では、修正テストパターンによって検出可能な未検出故障がシミュレート(評価)され、そのシミュレーションによって特定される、故障検出率/検出率変化率、実行時間、生成テストパターン数等のテスト進行指標が制御部 1 6 B に通知される。

【0 1 4 2】

シミュレーション終了後、制御部 1 6 B は、全ての故障を検出したか否かの判定(ステップ S 7 6)、故障検出率が指示された値に達したか否かの判定(ステップ S 7 7)、生成テストパターン数が指示された値(制限値)に達したか否かの判定(ステップ S 7 8)、実行時間が指示された値(制限値)に達したか否かの判定(ステップ S 7 9)を行なう。これらのステップ S 7 6 ~ S 7 9 で全て N O 判定となった場合には、ステップ S 7 1 に戻り上述と同様の処理が実行される。これらのステップ S 7 6 ~ S 7 9 のうちのいずれか一つでも Y E S 判定となった場合には、処理を終了する。

【0 1 4 3】

このように、本発明の第 5 実施形態の第 2 構成例の試験装置によれば、A T P G 部 1 3 B がダイナミックコンパクションにより検出対象故障の圧縮を行なう際に、パターン修正部 1 4 B での修正数(擬似ランダムパターン発生部 1 2 B で生成された擬似ランダムパターンを A T P G 部 1 3 B で生成された A T P G パターンに修正する際の修正量)に関する上限値を設け、この上限値に到達した時点で圧縮を終了するとともに、その上限値が、テストパターン生成の初期では小さく設定されテストパターン生成の進行に伴い大きく設定される。これにより、上述した第 1 構成例と同様、A T P G パターンにおける要求値(不定値以外の値)の数を抑制することができる。特に、テストパターン生成の初期でのテストパターン修正量が抑制される。従って、パターン修正部 1 4 B によるパターン修正量が削減され、効率よくパターンの修正を行なうことができ、ひいては集積回路の試験をより効率よく行なえるようになる。

【0 1 4 4】

〔6〕その他

なお、本発明は上述した実施形態に限定されるものではなく、本発明の趣旨を

逸脱しない範囲で種々変形して実施することができる。

【0145】

〔7〕 付記

（付記1） 集積回路中に組み込まれて試験パターンを発生するパターン発生器と、

該集積回路内部の順序回路素子で形成した複数のシフトレジスタと、

該パターン発生器によって発生された試験パターンを外部入力により修正してから該複数のシフトレジスタに入力するパターン修正器とをそなえて構成されたことを特徴とする、集積回路の試験装置。

【0146】

（付記2） 試験パターンを入力される、集積回路内部の順序回路素子で形成した複数のシフトレジスタと、

該複数のシフトレジスタからの出力中の不定値をマスクする不定マスク器と、

該不定マスク器によってマスクされた出力結果を検証する出力検証器とをそなえて構成されたことを特徴とする、集積回路の試験装置。

【0147】

（付記3） 集積回路中に組み込まれて試験パターンを発生するパターン発生器と、

該集積回路内部の順序回路素子で形成した複数のシフトレジスタと、

該パターン発生器によって発生された試験パターンを外部入力により修正してから該複数のシフトレジスタに入力するパターン修正器と、

該複数のシフトレジスタからの出力中の不定値をマスクする不定マスク器と、

該不定マスク器によってマスクされた出力結果を検証する出力検証器とをそなえて構成されたことを特徴とする、集積回路の試験装置。

【0148】

（付記4） 該出力検証器に、前記マスクされた出力結果を圧縮する圧縮手段をそなえたことを特徴とする、付記2または付記3に記載の集積回路の試験装置。

（付記5） 集積回路中に組み込まれたパターン発生器で試験パターンを発

生し、

発生された該試験パターンを外部入力により修正してから、

修正された該試験パターンを、該集積回路内部の順序回路素子で形成した複数のシフトレジスタに入力することを特徴とする、集積回路の試験方法。

【0149】

(付記6) ATPGパターンを生成し前記外部入力として該パターン修正器に与える自動テストパターン生成部をさらにそなえ、

該パターン発生器が、前記試験パターンとして疑似ランダムパターンを発生するとともに、

該パターン修正器が、該自動テストパターン生成部から与えられた該ATPGパターンに基づいて、該疑似ランダムパターンを修正することを特徴とする、付記1または付記3に記載の集積回路の試験装置。

【0150】

(付記7) 該パターン修正器が、該パターン発生器によって発生された複数の疑似ランダムパターン、および、前記外部入力としての複数のATPGパターンから、該疑似ランダムパターンと該ATPGパターンとの適当な組合せを選択し、選択された該ATPGパターンに基づいて、選択された該疑似ランダムパターンを修正することを特徴とする、付記6記載の集積回路の試験装置。

【0151】

(付記8) 該自動テストパターン生成部が、該パターン発生器によって発生された該疑似ランダムパターンを参照し、当該疑似ランダムパターンに応じた適当な対象故障を選択し、該対象故障を検出するATPGパターンを、当該疑似ランダムパターンの修正基準として生成することを特徴とする、付記6記載の集積回路の試験装置。

【0152】

(付記9) 該パターン発生器によって発生される該疑似ランダムパターンと前記外部入力としての該ATPGパターンとを比較し、該ATPGパターンに近い疑似ランダムパターンを該パターン発生器に発生させうる、該パターン発生器の特性情報を決定する特性情報決定部をさらにそなえ、

該パターン発生器が、該特性情報決定部により決定された該特性情報に基づいて、該疑似ランダムパターンを発生することを特徴とする、付記 6 記載の集積回路の試験装置。

【 0 1 5 3 】

(付記 1 0) 前記特性情報が、該パターン発生器に設定されるシード値であることを特徴とする、付記 9 記載の集積回路の試験装置。

(付記 1 1) 該パターン発生器がリニアフィードバックシフトレジスタとして構成され、

前記特性情報が、該リニアフィードバックシフトレジスタにおけるフィードバック位置であることを特徴とする、付記 9 記載の集積回路の試験装置。

【 0 1 5 4 】

(付記 1 2) 該自動テストパターン生成部が該 A T P G パターンに対する圧縮処理を実行する場合に前記圧縮処理の実行制限条件を設定する実行制限条件設定部をさらにそなえ、

該自動テストパターン生成部が、該実行制限条件設定部によって設定された前記実行制限条件を満たした時点で該 A T P G パターンに対する圧縮処理を終了させることを特徴とする、付記 6 記載の集積回路の試験装置。

【 0 1 5 5 】

(付記 1 3) 該実行制限条件設定部が、前記実行制限条件として、一つの A T P G パターンによって検出されるべき故障の数の上限値を設定し、

該自動テストパターン生成部が、該 A T P G パターンの圧縮対象となった故障の数が前記上限値に達した時点で該 A T P G パターンに対する圧縮処理を終了させることを特徴とする、付記 1 2 記載の集積回路の試験装置。

【 0 1 5 6 】

(付記 1 4) 該実行制限条件設定部が、該 A T P G パターンの生成の進行に伴って、前記上限値を大きくすることを特徴とする、付記 1 3 記載の集積回路の試験装置。

(付記 1 5) 該実行制限条件設定部が、前記実行制限条件として、一つの A T P G パターンに基づいて該パターン修正器が該疑似ランダムパターンの修正

を行なった場合におけるパターン修正量の上限值を設定し、

該自動テストパターン生成部が、圧縮中の該 A T P G パターンに基づいて該パターン修正器が該疑似ランダムパターンの修正を行なった場合におけるパターン修正量が前記上限値に達した時点で該 A T P G パターンに対する圧縮処理を終了させることを特徴とする、付記 1 2 記載の集積回路の試験装置。

【 0 1 5 7 】

(付記 1 6) 該実行制限条件設定部が、該 A T P G パターンの生成の進行に伴って、前記上限値を大きくすることを特徴とする、付記 1 5 記載の集積回路の試験装置。

(付記 1 7) 順序回路素子を含んで構成される集積回路であって、
該順序回路素子で形成した複数のシフトレジスタをそなえるとともに、
試験パターンを発生するパターン発生器と、
該パターン発生器によって発生された試験パターンを外部入力により修正してから該複数のシフトレジスタに入力するパターン修正器とが組み込まれたことを特徴とする、集積回路。

【 0 1 5 8 】

(付記 1 8) 順序回路素子を含んで構成される集積回路であって、
試験パターンを入力される、該順序回路素子で形成した複数のシフトレジスタをそなえるとともに、
該複数のシフトレジスタからの出力中の不定値をマスクする不定マスク器と、
該不定マスク器によってマスクされた出力結果を検証する出力検証器とが組み込まれたことを特徴とする、集積回路。

【 0 1 5 9 】

(付記 1 9) 順序回路素子を含んで構成される集積回路であって、
該順序回路素子で形成した複数のシフトレジスタをそなえるとともに、
試験パターンを発生するパターン発生器と、
該パターン発生器によって発生された試験パターンを外部入力により修正してから該複数のシフトレジスタに入力するパターン修正器と、
該複数のシフトレジスタからの出力中の不定値をマスクする不定マスク器と、

該不定マスク器によってマスクされた出力結果を検証する出力検証器とが組み込まれたことを特徴とする、集積回路。

【0160】

(付記20) 該パターン発生器が、前記試験パターンとして疑似ランダムパターンを発生するとともに、

該パターン修正器が、自動テストパターン生成部によって生成され前記外部入力として与えられたATPGパターンに基づいて、該疑似ランダムパターンを修正することを特徴とする、付記17または付記19に記載の集積回路。

【0161】

【発明の効果】

以上詳述したように、本発明の集積回路の試験装置および試験方法によれば、以下のような効果ないし利点を得ることができる。

(1) 集積回路中に組み込まれたパターン発生器で発生した試験パターンをパターン修正器で修正して複数のシフトレジスタに入力するため、シフトレジスタであるスキャンパス数を増やしスキャンパス段数を少なくすることにより、集積回路の試験時間が大幅に短縮される。また、DSP TおよびBISTの問題点が解決され、両者の利点を生かした高品質なテストを短時間で可能とするテストパターンを生成することができる。その際、意味あるデータ部分(値を設定する必要のあるF/Fの情報)のみをテスト(外部入力)から供給して修正するので、テストに格納されるデータの量を大幅に削減することもできる。従って、設計者に厳しい設計規約を課すことなく、且つ、高価なテストを必要とすることなく、高品質なテストを行なえる(請求項1, 3, 5, 6)。

【0162】

(2) 集積回路内部の順序回路素子で形成した複数のシフトレジスタからの出力中の不定値をマスクし、マスクされた出力結果を出力検証器で検証するため、順序回路素子からの出力結果を圧縮して外部に読み出しても、不定状態が圧縮結果を台無しにしてしまうことがなくなる(請求項2, 3)。

(3) 出力検証器にマスク処理後の出力結果を圧縮する圧縮手段をそなえるため、順序回路素子からの出力結果を出力検証器に効率よく格納することができる

（請求項４）。

【０１６３】

（４）複数の疑似ランダムパターンおよび複数のＡＴＰＧパターンから疑似ランダムパターンとＡＴＰＧパターンとの適当な組合せを選択し、選択されたＡＴＰＧパターンに基づいて、選択された疑似ランダムパターンを修正することにより、パターン修正器によるパターン修正量が削減され、効率よくパターンの修正を行なうことができ、ひいては集積回路の試験の効率化にも寄与することになる（請求項７）。

【０１６４】

（５）パターン発生器によって発生された疑似ランダムパターンに応じた適当な対象故障を選択し、その対象故障を検出するＡＴＰＧパターンを生成して疑似ランダムパターンの修正基準として用いることにより、パターン修正器によるパターン修正量が削減され、効率よくパターンの修正を行なうことができ、ひいては集積回路の試験の効率化にも寄与することになる（請求項８）。

【０１６５】

（６）ＡＴＰＧパターンに近い疑似ランダムパターンをパターン発生器に発生させるパターン発生器の特性情報を決定し、その特性情報に基づいて、疑似ランダムパターンを発生することにより、パターン修正器によるパターン修正量が削減され、効率よくパターンの修正を行なうことができ、ひいては集積回路の試験の効率化にも寄与することになる（請求項９）。

【０１６６】

（７）ＡＴＰＧパターンに対する圧縮処理を実行する場合に圧縮処理の実行制限条件を設定し、その実行制限条件を満たすまでＡＴＰＧパターンに対する圧縮処理を繰り返し実行することにより、ＡＴＰＧパターンにおける要求値（不定値以外の値）の数を抑制することができ、パターン修正器によるパターン修正量が削減され、効率よくパターンの修正を行なうことができ、ひいては集積回路の試験の効率化にも寄与することになる（請求項１０）。

【図面の簡単な説明】

【図１】

本発明の原理ブロック図である。

【図 2】

本実施形態における A T P G の設定 F / F 数の分布状態を説明するための図である。

【図 3】

本発明の第 1 実施形態としての集積回路の試験装置の構成を示すブロック図である。

【図 4】

本発明の第 1 実施形態の試験装置におけるパターン発生部分の構成を詳細に示すブロック図である。

【図 5】

本発明の第 1 実施形態における乱数（疑似ランダムパターン）および A T P G の設定を説明するための図である。

【図 6】

本発明の第 1 実施形態における入力パターン例に対するシフト結果を説明するための図である。

【図 7】

本発明の第 1 実施形態の試験装置における出力検証部分の構成を詳細に示すブロック図である。

【図 8】

本発明の第 2 実施形態としての集積回路の試験装置の動作を説明するためのフローチャートである。

【図 9】

本発明の第 2 実施形態におけるパターン修正動作の具体例を説明するための図である。

【図 1 0】

本発明の第 2 実施形態におけるパターン修正動作の具体例を説明するための図である。

【図 1 1】

本発明の第 2 実施形態におけるパターン修正動作の具体例を説明するための図である。

【図 1 2】

本発明の第 2 実施形態におけるパターン修正動作の具体例を説明するための図である。

【図 1 3】

本発明の第 3 実施形態としての集積回路の試験装置の動作を説明するためのフローチャートである。

【図 1 4】

本発明の第 3 実施形態における A T P G パターン生成動作の具体例を説明するための図である。

【図 1 5】

本発明の第 4 実施形態としての集積回路の試験装置における特性情報決定動作の第 1 例（シード値決定動作）を説明するためのフローチャートである。

【図 1 6】

本発明の第 4 実施形態としての集積回路の試験装置における特性情報決定動作の第 2 例（フィードバック位置決定動作）を説明するためのフローチャートである。

【図 1 7】

本発明の第 5 実施形態としての集積回路の試験装置の第 1 構成例を示すブロック図である。

【図 1 8】

図 1 7 に示す第 1 構成例の動作を説明するためのフローチャートである。

【図 1 9】

本発明の第 5 実施形態としての集積回路の試験装置の第 2 構成例を示すブロック図である。

【図 2 0】

図 1 8 に示す第 2 構成例の動作を説明するためのフローチャートである。

【図 2 1】

従来のスキャン設計を説明するための図である。

【図 2 2】

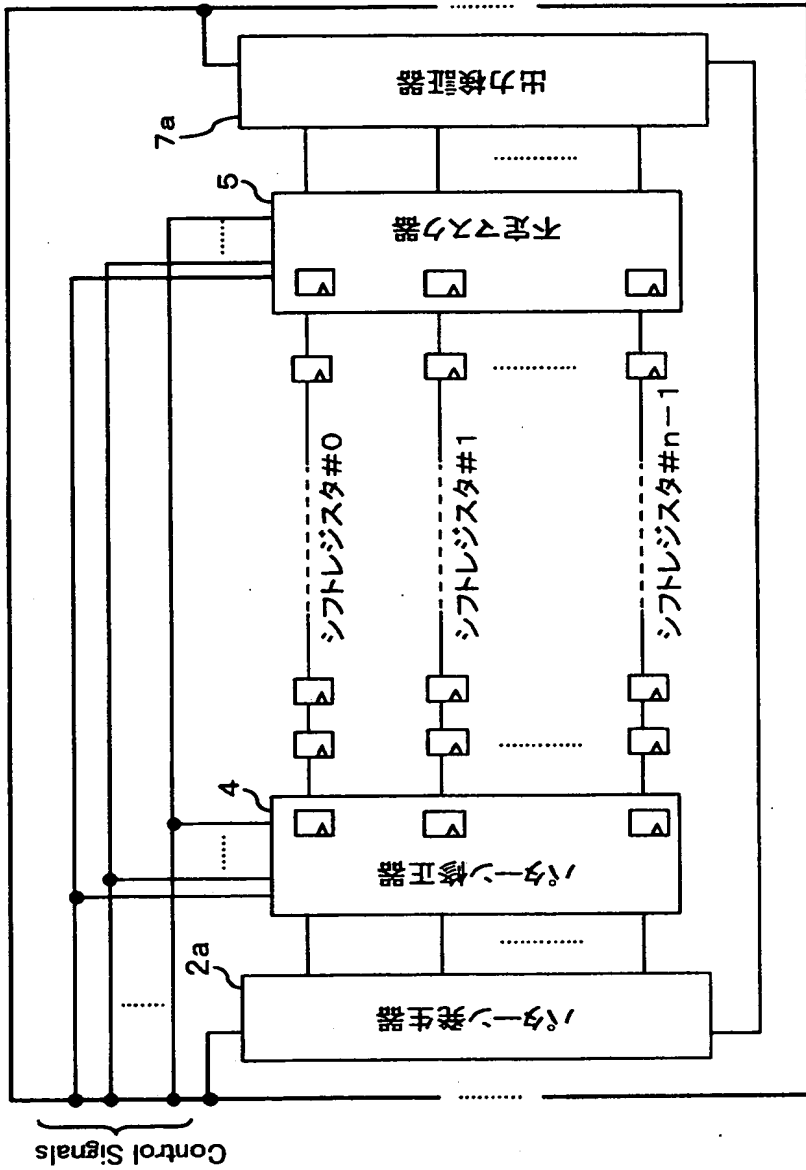
従来の B I S T 回路を説明するための図である。

【符号の説明】

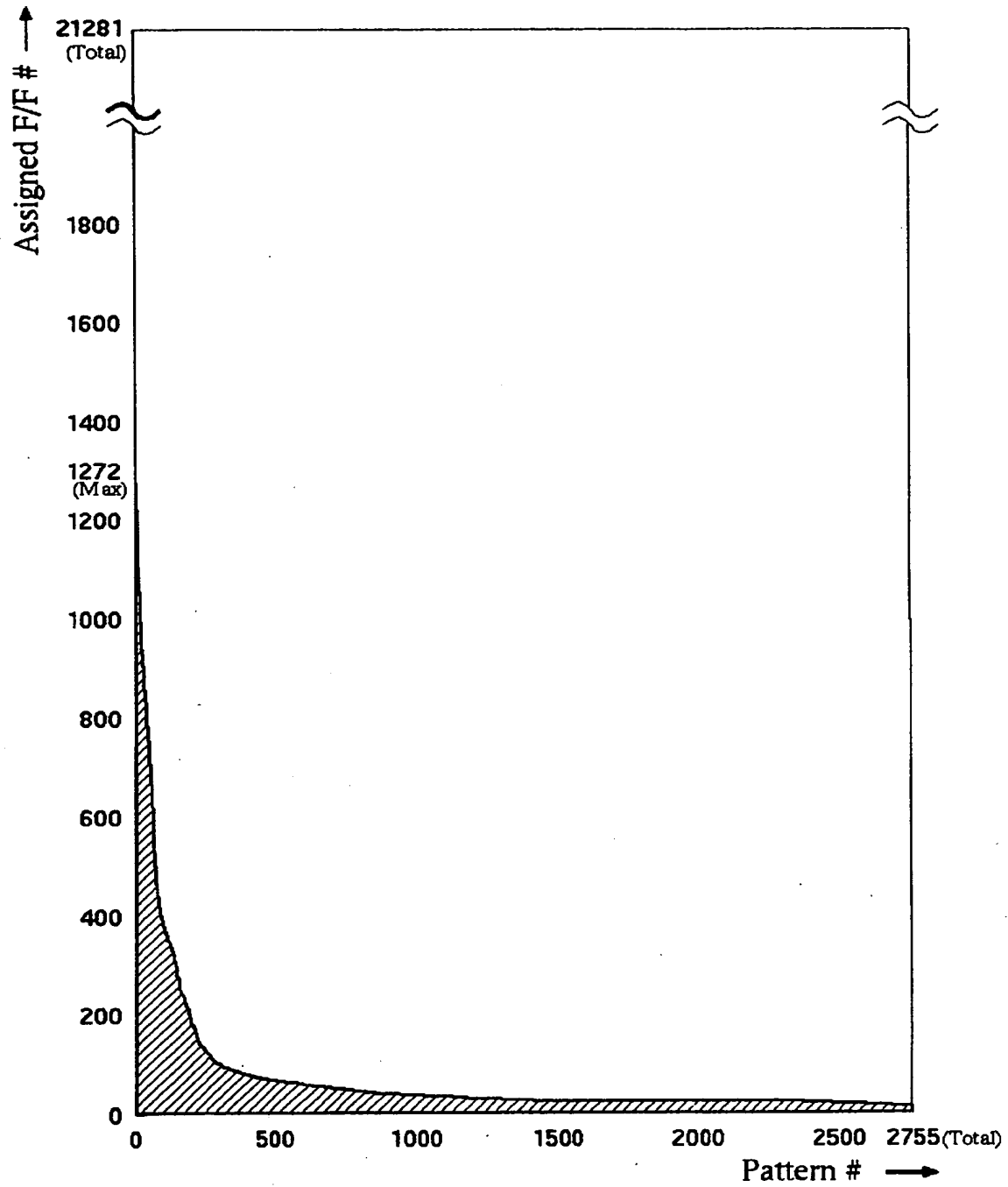
- 2 L F S R (パターン発生器)
- 2 a パターン発生器
- 3 フェイズシフタ
- 4 パターン修正器
- 5 不定マスク器
- 6 スペースコンパクタ
- 7 M I S R (出力検証器, 圧縮手段)
- 7 a 出力検証器
- 1 0 A シード値決定部 (特性情報決定部)
- 1 0 B フィードバック位置決定部 (特性情報決定部)
- 1 1 A ターゲット故障数設定部 (実行制限条件設定部)
- 1 1 B パターン修正上限値設定部 (実行制限条件設定部)
- 1 2 A, 1 2 B 疑似ランダムパターン発生部 (パターン発生器)
- 1 3 A, 1 3 B A T P G 部 (自動テストパターン生成部)
- 1 4 A, 1 4 B パターン修正部 (パターン修正器)
- 1 5 A, 1 5 B 故障シミュレーション部
- 1 6 A, 1 6 B 制御部
- # 0, # 1, ..., # n - 1 シフトレジスタ (スキャンパス)
- F / F フリップフロップ (順序回路素子)

【書類名】 図面

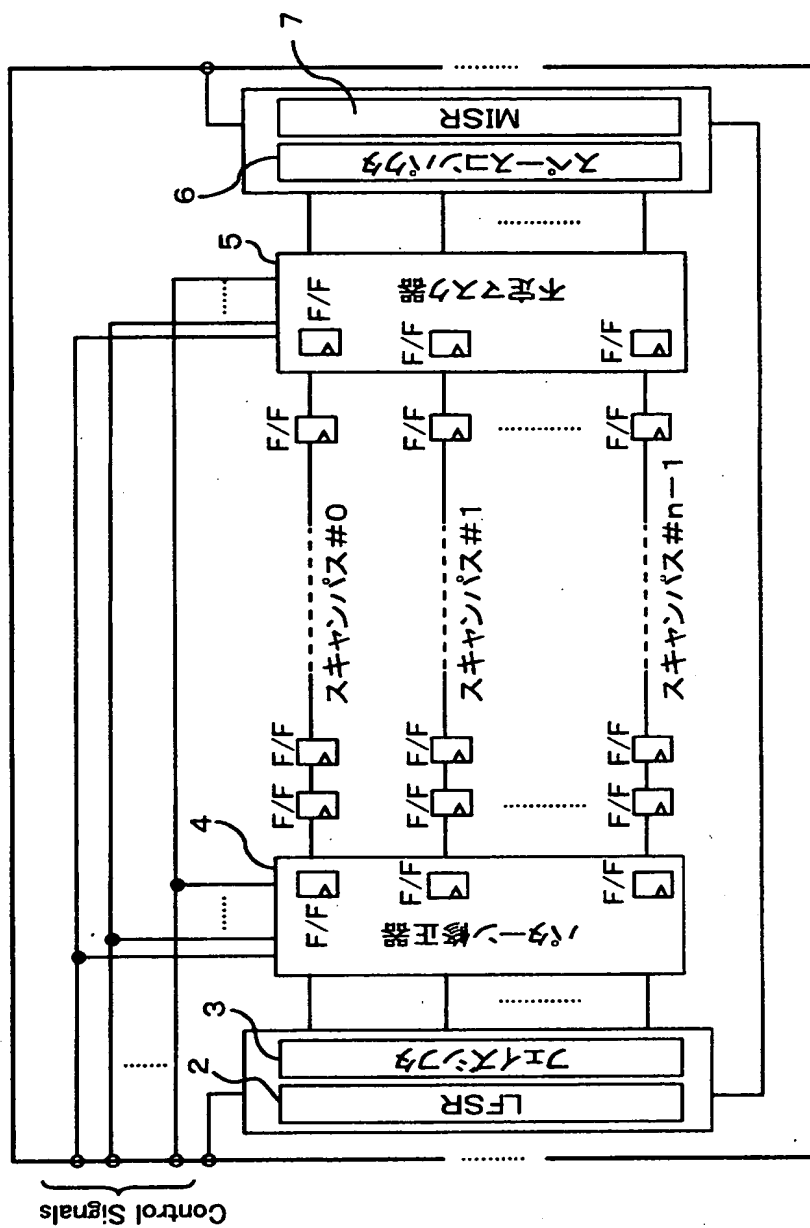
【図1】



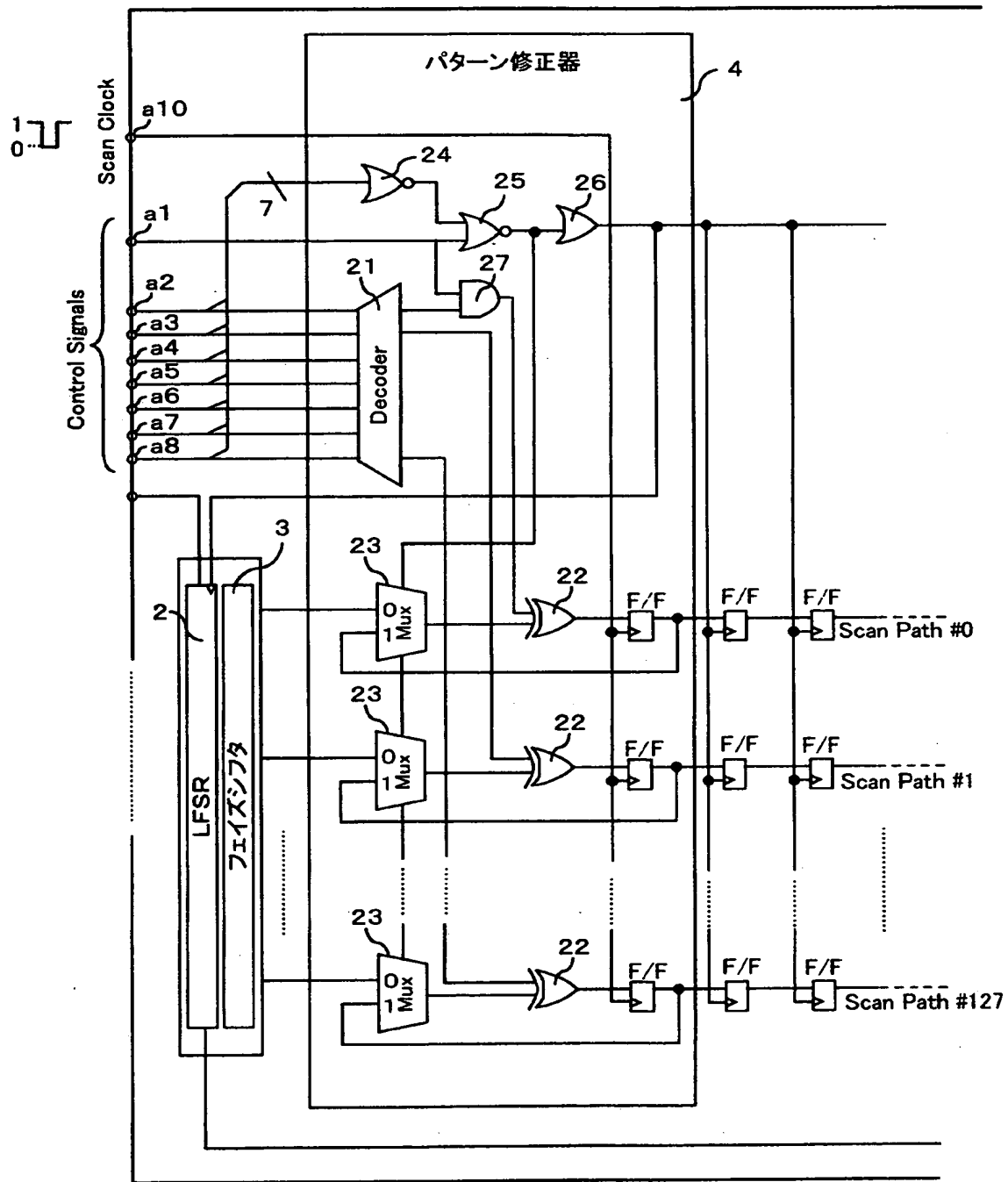
【図 2】



【図 3】



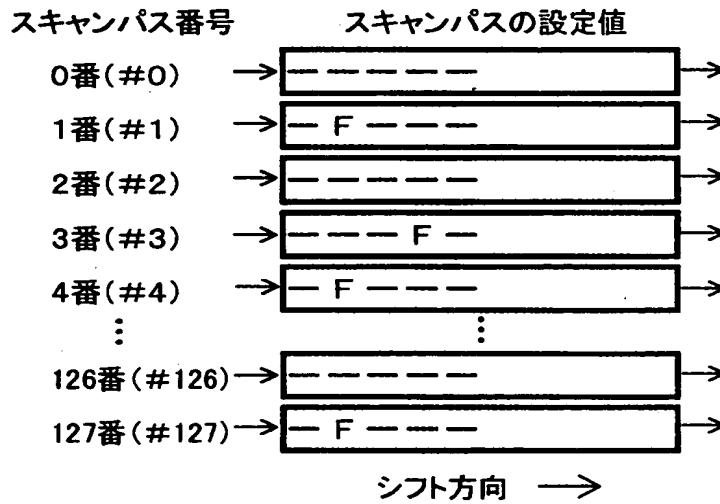
【図 4】



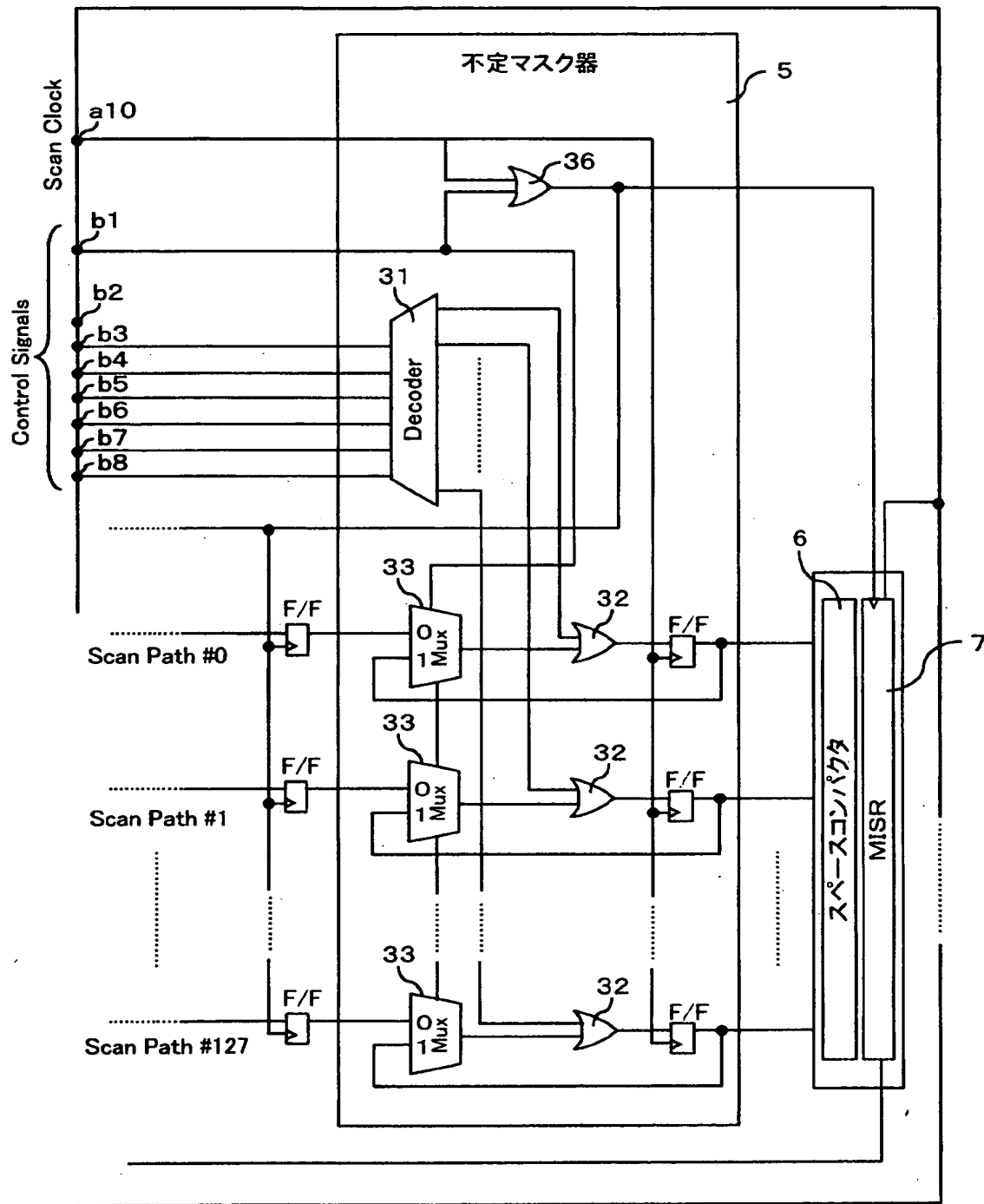
【図 5】

スキャンパス番号	乱 数	ATPG
0番(#0)	0 1 0 1 0	— 1 — — —
1番(#1)	1 0 1 0 1	1 1 1 0 1
2番(#2)	0 1 0 1 0	— — 0 — —
3番(#3)	1 0 1 0 1	— — 1 1 —
4番(#4)	0 1 0 1 0	— 0 — — —
⋮	⋮	⋮
126番(#126)	1 0 1 0 1	— 0 — 0 —
127番(#127)	0 1 0 1 0	— 0 — 1 —

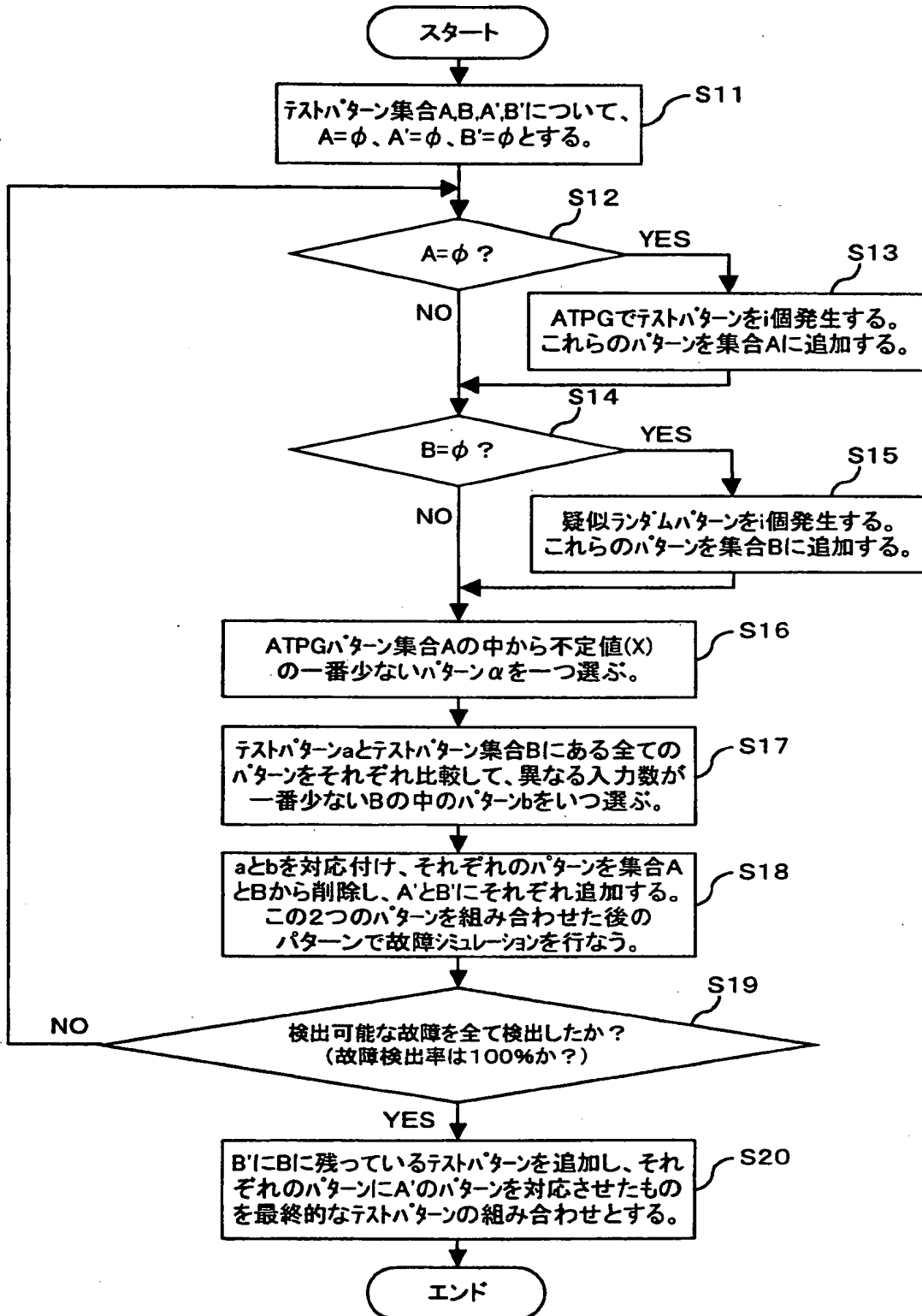
【図 6】



【図 7】



【図 8】



【図 9】

1X000X11X(DP1) → 110000110(m=3)
011010110(RP1)

X01XX1XXX(DP2) → 001011101(m=1)
001010101(RP2)

0XXX1X1X0(DP3) → 010110110(m=2)
110110111(RP3)

【図 1 0】

1X000X11X(DP1) → 110110111(m=2)
110110111(RP3)

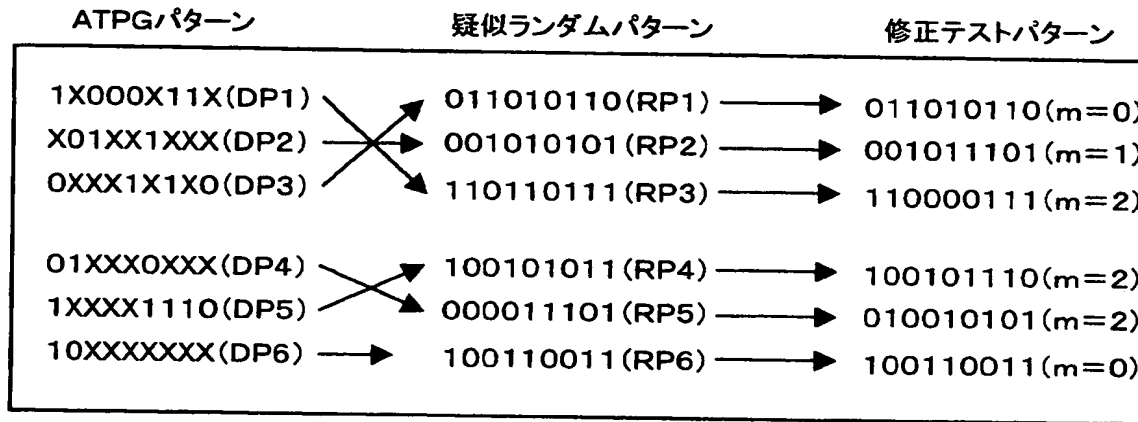
0XXX1X1X0(DP3) → 011010110(m=0)
011010110(RP1)

X01XX1XXX(DP2) → 001011101(m=1)
001010101(RP2)

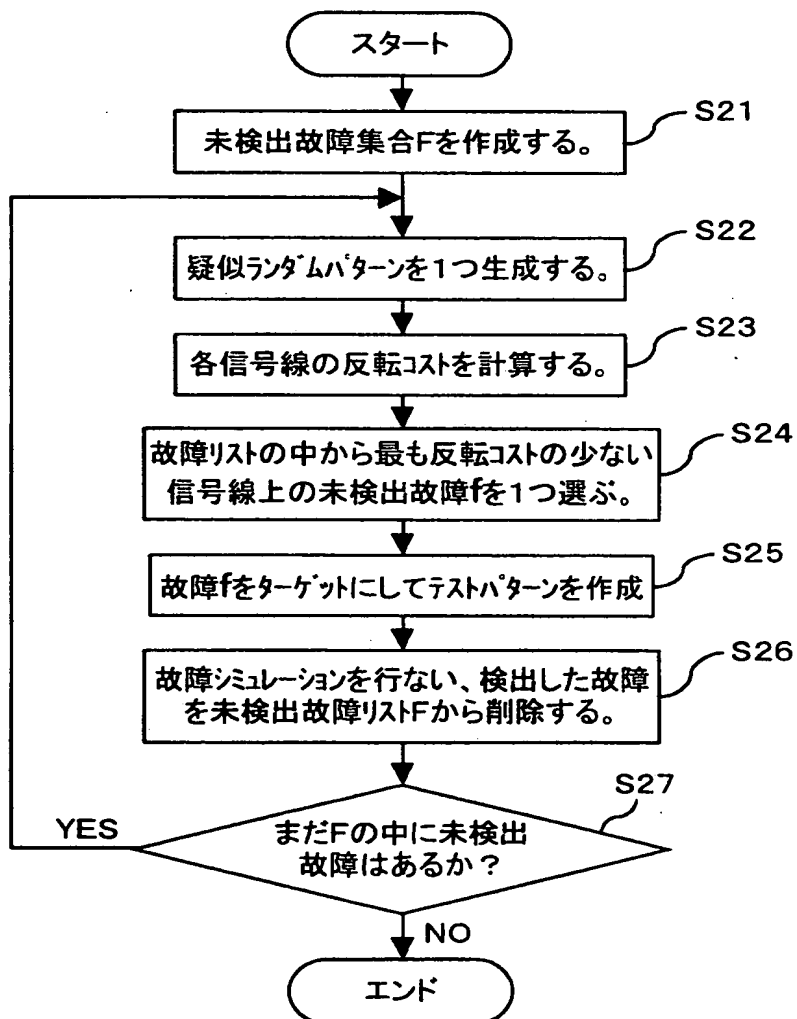
【図 1 1】

ATPGパターン	疑似ランダムパターン	修正テストパターン
1X000X11X(DP1) →	011010110(RP1) →	110000110(m=3)
X01XX1XXX(DP2) →	001010101(RP2) →	001011101(m=1)
0XXX1X1X0(DP3) →	110110111(RP3) →	010110110(m=2)
01XXX0XXX(DP4) →	100101011(RP4) →	010100011(m=3)
1XXXX1110(DP5) →	000011101(RP5) →	100011110(m=3)
10XXXXXXX(DP6) →	100110011(RP6) →	100110011(m=0)

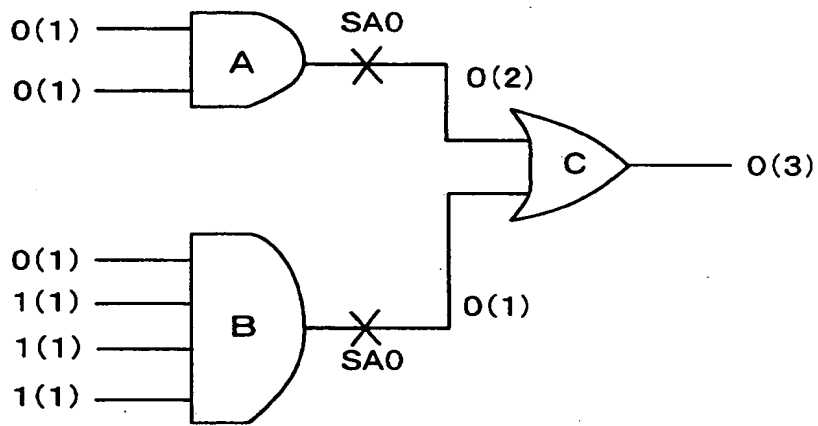
【図 12】



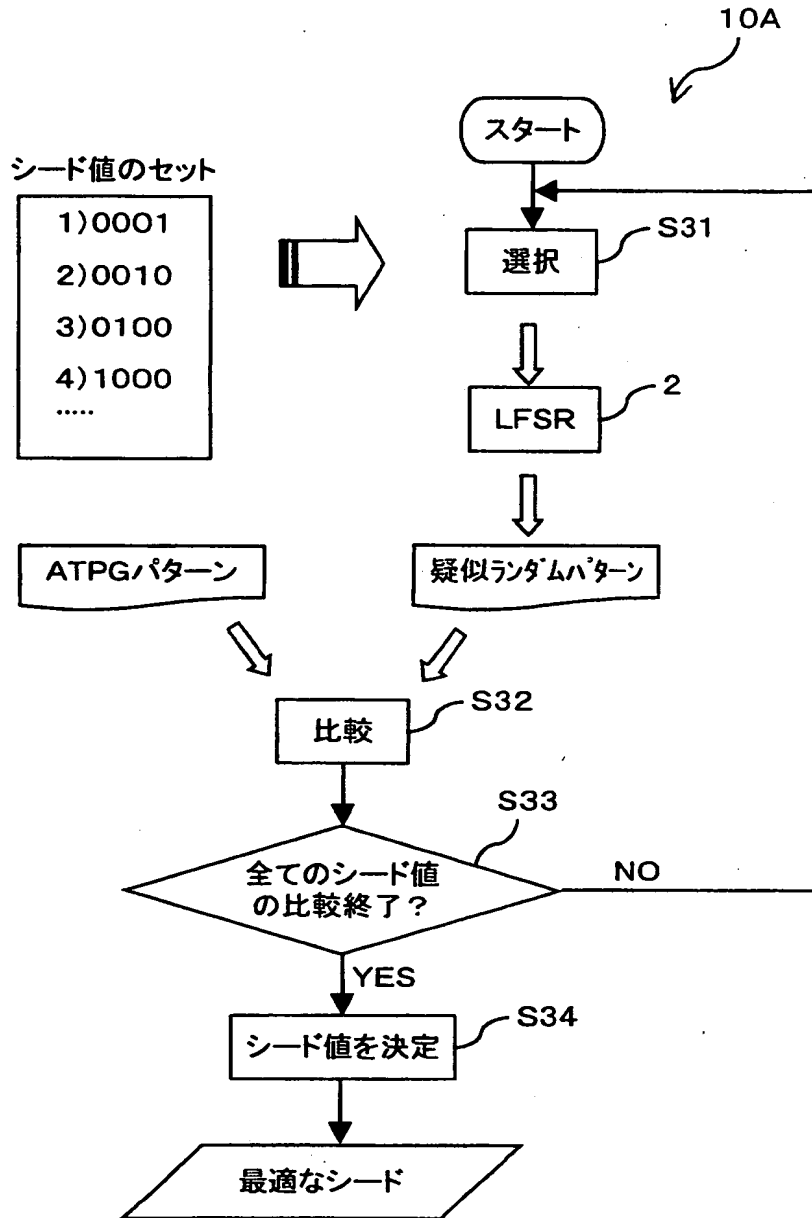
【図 13】



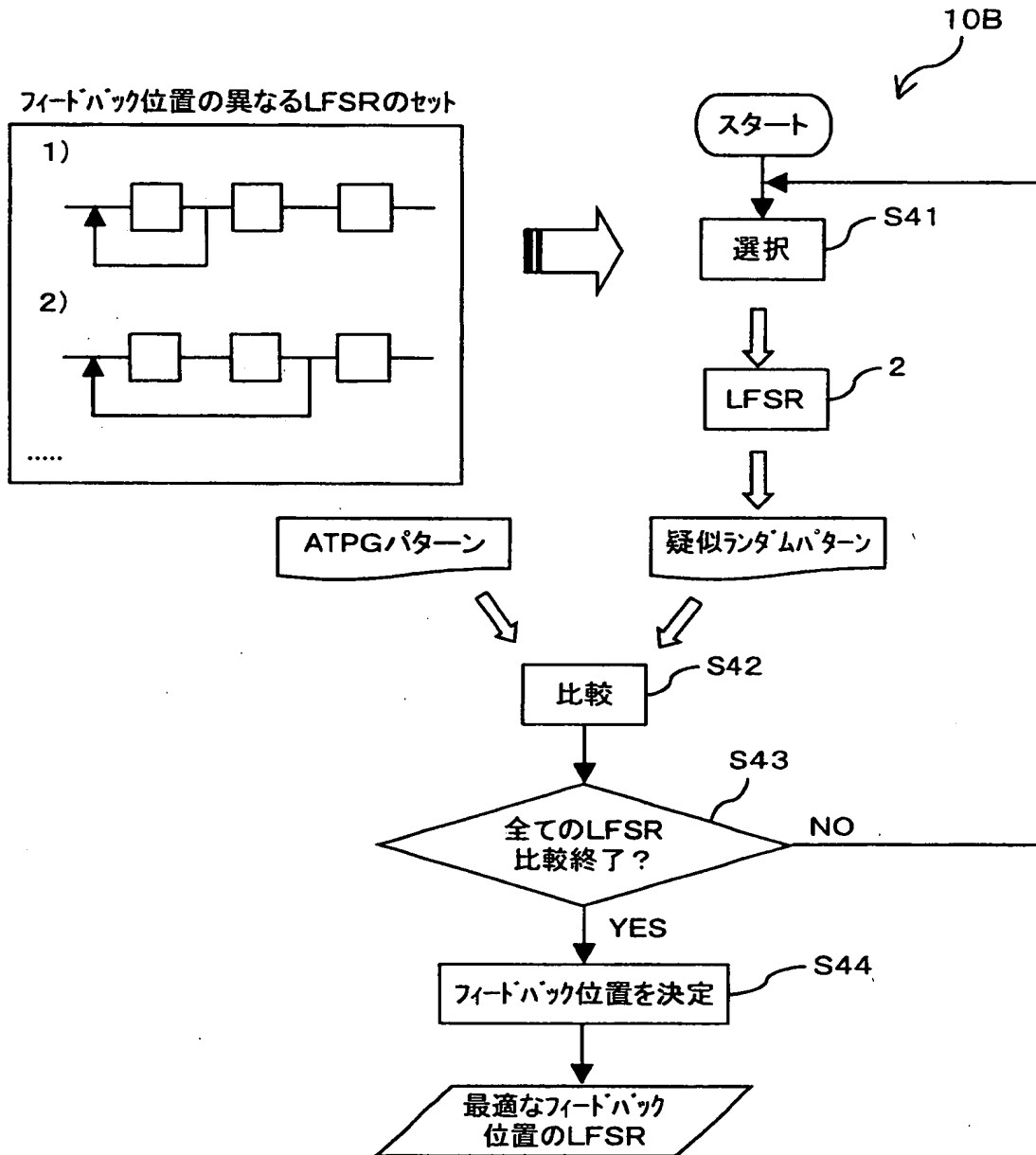
【図 1 4】



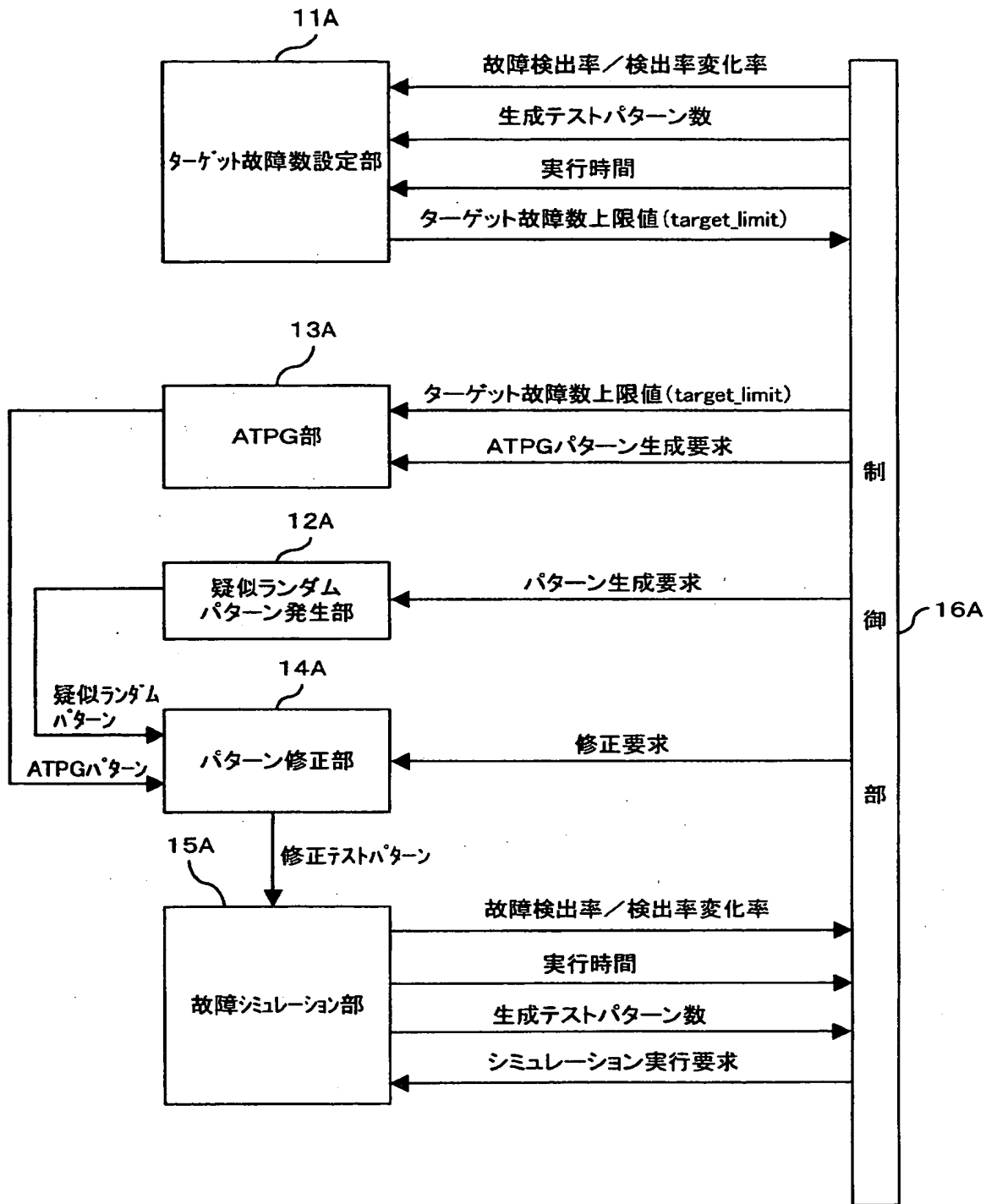
【図15】



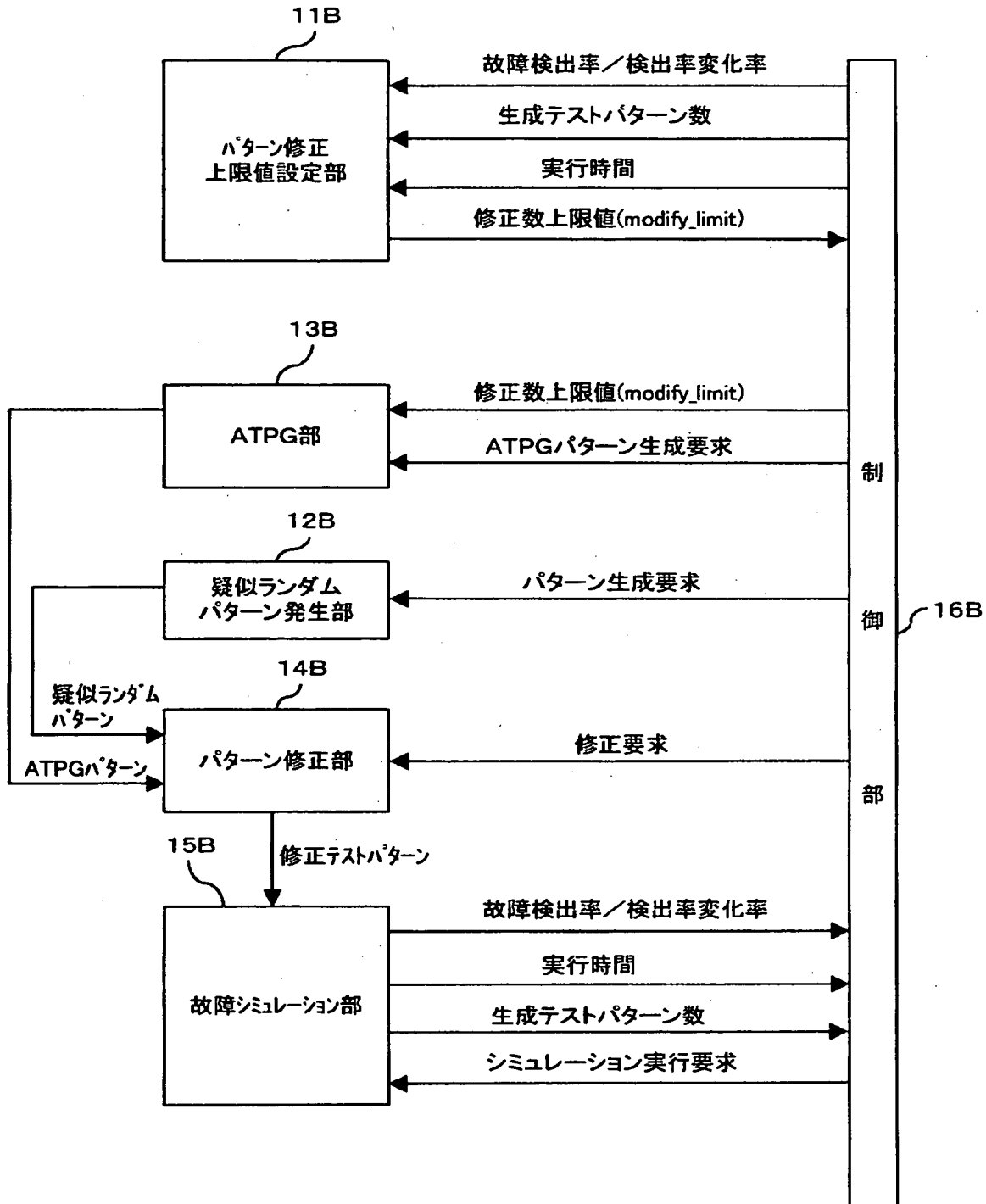
【図16】



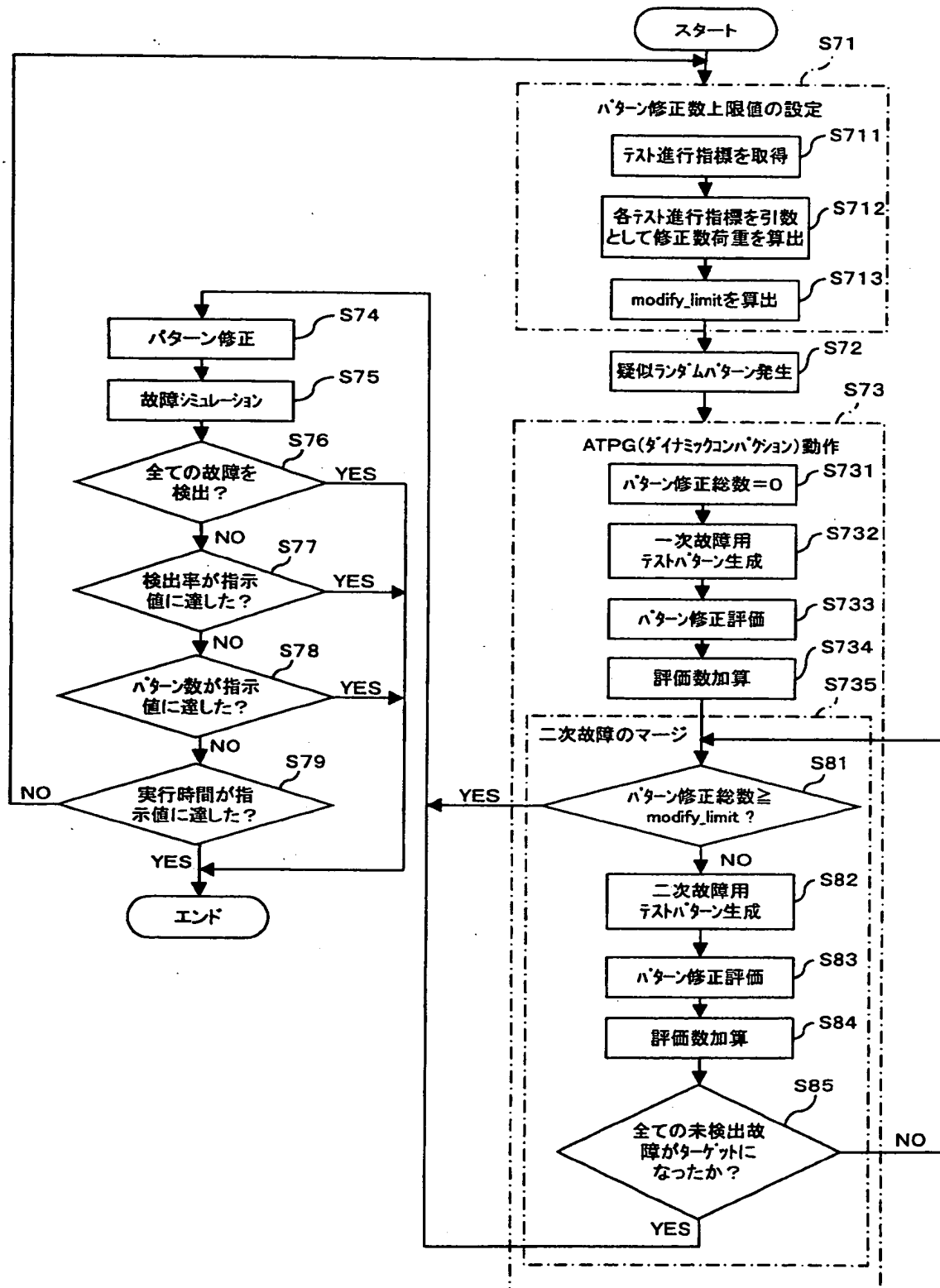
【図 17】



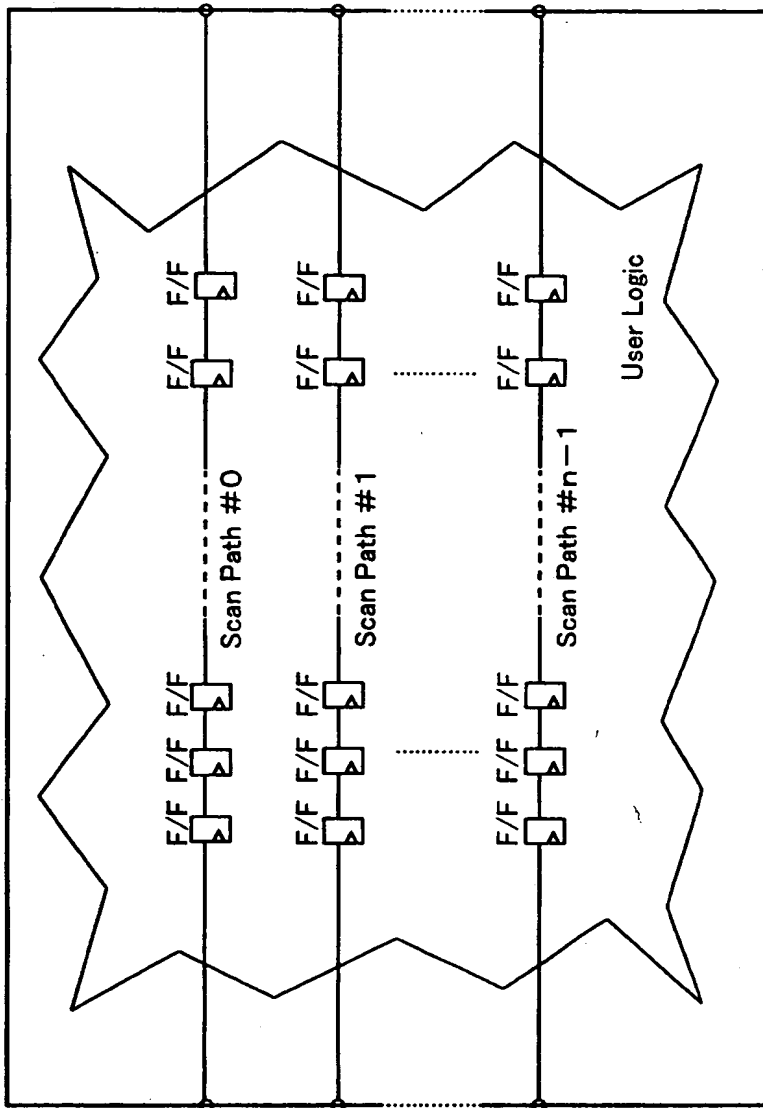
【図 19】



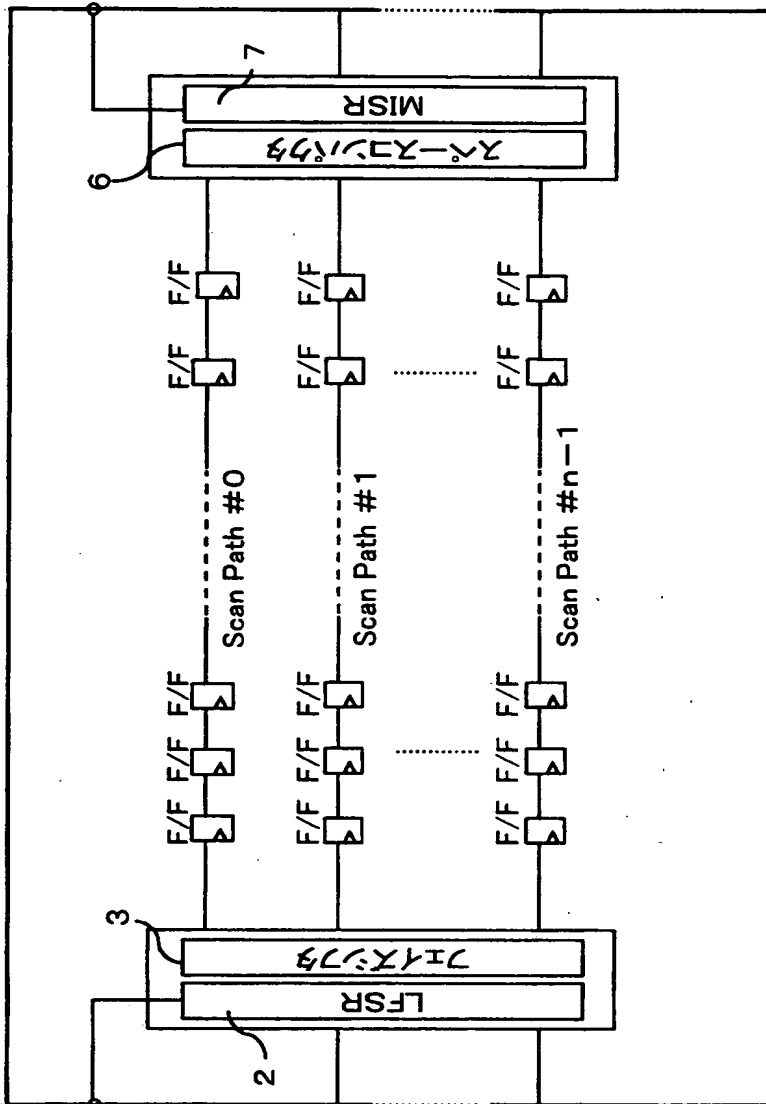
【図 20】



【図 21】



【図 22】



【書類名】 要約書

【要約】

【課題】 高品質なテストを短時間で実行できるようにするほか、設計者に厳しい設計規約を課すことなく且つ高価なテストを必要とすることなく高品質なテストを可能にする。

【解決手段】 集積回路中に組み込まれて試験パターンを発生するパターン発生器 2 a と、集積回路内部の順序回路素子 F / F で形成した複数のシフトレジスタ # 0 ~ # n - 1 と、パターン発生器 2 a によって発生された試験パターンを外部入力により修正してから複数のシフトレジスタ # 0 ~ # n - 1 に入力するパターン修正器 4 とをそなえて構成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社